

3.5. Magistrala ISA

A devenit o magistrala standard la calculatoarele bazate pe procesoarele din familia 80x86, fiind utilizata la primele tipuri de calculatoare IBM PC. IBM a denumit initial aceasta magistrala *I/O Channel*, ulterior utilizând denumirea ISA (*Industry-Standard Architecture*). Magistrala ISA are 70 de linii, semnalele fiind prezentate in Tabelul 3.2.

Semnal	Nr. linii	I	E	Descriere
OSC	1		x	Oscillator
CLK	1		x	Clock
RESET	1		x	Reset
A0-A19	20		x	Adrese
D0-D15	16	x	x	Date
ALE	1		x	Address Latch Enable
MEMR	1		x	Memory Read
MEMW	1		x	Memory Write
IOR	1		x	I/O Read
IOW	1		x	I/O Write
AEN	1	x		Address Enable
IOCHCHK	1	x		I/O Channel Check
IOCHRDY	1	x		I/O Channel Ready
IRQ2-IRQ7	6	x		Interrupt Request
DRQ1-DRQ3	3	x		DMA Request
DACK0 - DACK3	4		x	DMA Acknowledge
T/C	1		x	Terminal / Count
Power	5			$\pm 5\text{ V}$, $\pm 12\text{ V}$
GND	3			Ground
Rezervat	1			Neutilizat la PC, selecție placă la XT

Tabelul 3.2.

Semnalele magistralei ISA, descrise pe scurt, sunt urmatoarele:

<i>OSC</i>	Este semnalul generat de un oscilator cu cuart.
<i>CLK</i>	Este generat de circuitul 8284A. prin divizarea semnalului <i>OSC</i> cu 3. Spre deosebire de semnalul <i>OSC</i> care este simetric, <i>CLK</i> este nesimetric, fiind 1 pe durata de 1/3 din perioada si 0 pe durata a 2/3 din perioada.
<i>RESET</i>	Este semnalul de resetare generat de circuitul 8284A.
<i>ALE</i>	Este activat atunci când adresele de pe magistrala sunt valide. Se utilizeaza pentru validarea circuitelor <i>latch</i> de adrese.
<i>AEN</i>	Este semnal de intrare pentru procesor, fiind generat de catre dispozitivele care solicita magistrala. Controlerul de magistrala 8288 genereaza semnalul care deconecteaza driverele de date (liniile vor trece în starea de inalta impedanta).
<i>IOCHCH</i>	Este activat daca se detecteaza o eroare de paritate pe magistrala, când se genereaza o întrerupere nemascabila.
<i>IOCHRDY</i>	Se utilizeaza de memoriile sau dispozitivele mai lente pentru inserarea starilor de asteptare.
<i>IRQ2-IRQ7</i>	Cereri de întrerupere; reprezinta intrari pentru controlerul de întrerupere.
<i>DRQ1-DRQ3</i>	Cereri DMA; reprezinta intrari pentru controlerul DMA. <i>DRQ0</i> se utilizeaza, pentru reâmprosptarea memoriei.
<i>DACK0-DACK3</i>	Semnale de confirmare a cererilor DMA.
<i>T/C</i>	Semnal activat de controlerul DMA la terminarea unui transfer.

3.6. Magistrala IBM PC/AT

La aparitia procesorului 80286, în locul realizarii unei magistrale noi pentru calculatoarele AT, s-a ales solutia extinderii magistralei IBM PC (ISA). S-a adaugat un nou conector pentru linii suplimentare de adrese, întreruperi, cereri DMA, si pentru diferentierea transferurilor de 8 si 16 biti.

La introducerea seriei de calculatoare PS/2, IBM a decis sa introduca o noua magistrala, în parte pentru ca magistralele utilizate pina atunci erau învechite, dar si pentru a opri copierea noilor sisteme. Modelele mai evaluate ale acestei serii au fost echipate cu magistrala MicroChannel, complet noua, care a fost protejata cu numeroase patente. Cheltuielile de licenta pentru aceasta magistrala au ajuns la 5% din pretul de vânzare.

Celelalte firme producatoare de calculatoare personate au adoptat un standard propriu de magistrala, numita EISA (*Extended Industry Standard Architecture*), care este o extensie a magistralei ISA la 32 de biti, având avantajul ca pastreaza compatibilitatea cu calculatoarele si placile de extensie existente, si se bazeaza pe o magistrala a carei licenta a fost oferita liber numeroaselor firme producatoare de placile de extensie pentru calculatoarele IBM PC.

3.7. Magistrala VME

3.7.1. Principii

Magistrala VME (*Versa Module Eurocard*) provine din magistrala Versabus a firmei *Motorola*, care a fost utilizata la primele sisteme bazate pe procesorul 68000. Ulterior, magistrala Versabus a fost adaptata pentru formatul placilor dublu *Eurocard* (160 x 200 mm), format devenit standard pentru calculatoarele industriale. Noua magistrala, proiectata în colaborare cu firmele *Mostek*, *Signetics/Philips* si *Thompson CSF*, a fost denumita VME, fiind anuntata în anu 1981.

Este o magistrala de 32 biti cu performante ridicate, utilizata pe scara larga, mai ales pentru aplicatii industriale. Exista mii de placile de extensie bazate pe aceasta magistrala, produse de sute de firme. Are specificatii bine definite, care descriu functionarea magistralei si regulile care trebuie respectate de placile VME.

Performantele ridicate sunt asigurate prin asincronismul magistralei, ceea ce permite diferitelor componente sa functioneze la viteza corespunzatoare tehnologiei utilizate în practica, limita superioara este de ordinul a 100 ns pentru un ciclu de magistrala, deoarece peste aceasta limita apar nesimetrii (*bus skew*) si alte probleme similare. Cu un transfer de 4 octeti la fiecare 100 ns, rezulta o rata de transfer de 40 MB/s.

Fiabilitatea magistralei este asigurata prin proiectarea mecanica si protocolul logic. Spre deosebire de conectorii calculatoarelor IBM PC, se utilizeaza conectori formati din pini metalici. Desi solutia este mai scumpa, se elimina astfel conexiunile necorespunzatoare, care reprezinta una din principalele surse de probleme la sistemele de calcul. Exista linii ale magistralei care se pot utiliza pentru autotest si raportarea starii.

Magistrala VME face parte dintr-o familie de trei magistrala proiectate pentru o gama larga de sisteme de calcul, de la mici sisteme de dezvoltare la sisteme multiprocesor. De exemplu, Figura 3.17(a) prezinta un *sistem minimal*, format din trei placile VME, câte una pentru UCP, memorie si un controler de I/E.

Figura 3.17(b) prezinta un *sistem multiprocesor*. Fiecare procesor are o memorie locala la care se conecteaza printr-o magistrala VSB. Daca se pastreaza programul si datele locale în memoriile locale, magistrala VME va fi utilizata numai de instructiunile care fac acces la memoria globala partajata.

Astfel, rata de transfer globala poate depasi limita de 40 MB/s impusa de tehnologia VME. De exemplu, un sistem multiprocesor cu 16 UCP, fiecare UCP solicitând un cuvint de 4 octeti la fiecare 200 ns, necesita o rata de transfer de:

$$(4 \times 1/(200 \times 10^{-9})) \times 16 \text{ B/s} = 320 \text{ MB/s}$$

Daca 90 % din aceste accesuri se fac la memoria locala (pentru încarcarea instructiunilor, citirea/scrierea datelor locale etc), cu o magistrala VME si 16 magistrala VSB se poate asigura aceasta rata.

Magistrala seriala VMS, care functioneaza independent de celelalte doua magistrala, poate fi utilizata pentru comunicare si sincronizare între procesoare, în paralel cu transferurile de date pe magistrala principala.

3.7.2. Structura functionala

Aceasta structura consta din logica de interfata patru grupuri de linii numite magistrala, si o colectie de module functionale asociate cu acestea.

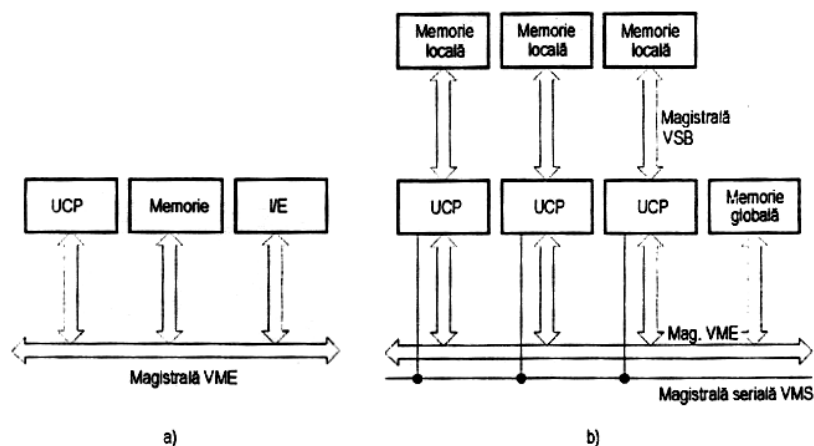


Figura 3.17. Sisteme cu magistrală VME: a) Sistem minimal; b) Sistem multiprocesor

Magistrala pentru transferul de date

Consta din 32 linii de date, 32 linii de adrese, 6 linii de modificare a adresei, care definesc tipul ciclului de magistrala și 5 linii de control. Modulele funcționale ale acestei magistrale cuprind modulele *master* și *slave*, un modul *monitor* și un modul de tip *ceas*. Modulul *master* inițiază cicluri de transfer pentru a transfera datele cu modulul *slave*. Modulul *slave* detectează ciclurile de transfer inițiate de un *master*, și dacă acele cicluri specifică participarea sa, transferă datele la sau de la modulul *master*.

Monitorul urmărește transferurile de date, în scopul detectării accesurilor la locațiile care i-au fost asignate pentru a fi urmărite. În cazul în care apare un acces la o asemenea locație, monitorul poate genera o întrerupere. Dacă, de exemplu, procesorul plăcii A scrie într-o locație a memoriei globale care este urmărită de monitorul plăcii B, procesorul plăcii B va fi întrerupt.

Ceasul măsoară durata fiecărui transfer, și termină transferul dacă acesta durează un timp prea mare. Este util în cazul în care se adresează o locație inexistentă sau un modul *slave* inexistent. Se evită astfel blocajul. Magistrala pentru transferul de date dispune de linii nemultiplexate pentru adrese și date. Aceasta asigură creșterea performanțelor la executarea ciclurilor de transfer singular, când se transmite o adresă, după care se citește sau se scrie date.

Magistrala pentru întreruperi

Consta din 7 linii de cerere de întrerupere, *IRQ1-IRQ7*, o linie de achitare a întreruperilor, *IACK*, și o conexiune de tip *daisy chan* pentru achitarea întreruperilor. Deoarece pot exista mai multe UCP, liniile de cerere pot fi partitionate între mai multe controlere de întreruperi, fiecare controler gestionând anumite linii și generând semnalele de întrerupere, pentru anumite UCP.

Sursa de întrerupere generează o cerere de întrerupere pe una din liniile de cerere. Atunci când cererea este achitată de un modul de gestiune a întreruperii, sursa de întrerupere furnizează 1, 2 sau 4 octeți de stare sau identificare în cadrul unui ciclu special de magistrala, octeți care permit servirea întreruperii. Conexiunea de tip *daisy chain* pentru achitarea întreruperilor va fi activată atunci când un modul de gestiune a întreruperii achită o cerere de întrerupere. Aceasta conexiune asigură ca un singur modul să răspundă cu octeții de stare sau identificare atunci când au fost generate mai multe cereri.

Magistrala de arbitraj

În cadrul procesului de arbitraj este selectat modulul *master* sau modulul de gestiune a întreruperilor care va putea utiliza magistrala pentru transferul de date. Magistrala de arbitraj constă din 4 linii de cerere a magistralei, *BR0-BR3*, 4 linii de acordare, *BGOIN-BG3IN*, și alte două linii numite *Bus Busy* (*BBSY*) și *Bus Clear* (*BCLR*).

Există un modul de cerere a magistralei, aflat pe aceeași placă cu un modul *master* sau modul de gestiune a întreruperii. După efectuarea cererii, se așteaptă achitarea acesteia de către arbitru, după care modulul de cerere preia controlul asupra magistralei prin activarea liniei *Bus Busy*, dezactivează cererea și indică modulului *master* faptul că magistrala este disponibilă.

Arbitrul poate avea o facilități de *time-out*, care permite retragerea utilizării magistralei dacă modulul solicitant nu începe utilizarea magistralei în timpul prestabilit. Aceasta asigură ca magistrala nu va fi blocată ca rezultat al unui semnal tranzitoriu pe linia de cerere. Arbitrul poate activa linia *Bus Clear* dacă detectează o cerere de prioritate mai ridicată față de cea a modulului care utilizează magistrala în acel moment, acordând magistrala modulului mai prioritar.

Magistrala utilitară

Contine doua linii pentru semnale de ceas, o linie de resetare a sistemului, o linie de date pentru magistrala seriala, o linie de detectare a caderii tensiunii de alimentare si o linie pentru indicarea a unei erori de sistem.

Modulul de ceas al sistemului furnizeaza un semnal de ceas *SYSCLK* de 16 MHz, util pentru diferite functii care necesita o referinta de timp. Acest semnal nu se utilizeaza pentru delimitarea ciclurilor de magistrala.

Pentru magistrala seriala VMS exista un semnal de ceas *SERCLK* care asigura sincronizarea operatiilor pe aceasta magistrala. Viteza de transfer pe magistrala seriala este de 32 Mbit/s, dar se poate utiliza si o viteza de 16 sau 8 Mbit/s. Protocolul acestei magistrale este complet independent de magistrala VME.

Starea sursei de alimentare este urmarita de un modul monitor, iar atunci cand se detecteaza o tensiune în afara limitelor admise, monitorul utilizeaza linia prevazuta în acest scop (*ACFAIL*) pentru a avertiza toate placile conectate la magistrala în vederea pregatirii caderii tensiunii ("*graceful shutdown*").

La detectarea unei erori de catre o placa conectata la magistrala VME, aceasta poate utiliza o linie speciala (*SYSFAIL*) pentru a indica celorlalte module aparitia acestei erori.

3.7.3. Cicluri de magistrala

Specificatiile VME definesc cinci tipuri de cicluri de transfer si doua cicluri suplimentare. Ciclurile de transfer se pot utiliza pentru transferul date lor de 8, 16 sau 32 de biti.

Ciclurile de citire si scriere

Încep prin transmiterea unei adrese si a unui cod de modificare a adresei, care indica tipul ciclului de magistrala. Sunt permise si transferuri nealiniate, de exemplu 4 octeti începând de la o adresa impara.

Ciclurile de tranfer de blocuri

Se utilizeaza pentru citirea sau scrierea unui bloc de maxim 256 octeti. Acestea permit unui modul *master* sa adreseze o singura locatie si apoi sa acceseze acea locatie si locatiile urmatoare, fara a transmite informatii suplimentare de adresare. La initierea unui asemenea ciclu de catre un *master*, modulul *slave* memoreaza adresa într-un numarator de adrese, ea fiind incrementata ulterior si utilizata la transferurile ulterioare.

Lungimea blocurilor transferate este limitata la 256 de octeti. Motivul este simplificarea proiectarii placilor de memorie si reducerea timpului de acces la modulele de memorie. Daca nu ar exista aceasta limitare, toate modulele de memorie ar trebui sa memoreze adresa de început a blocului, si apoi sa incrementeze aceasta adresa în fiecare ciclu. Adresa incrementata ar trebui apoi decodificata de fiecare modul, pentru a testa daca adresa a ajuns în propria zona de adrese. Aceasta decodificare ar creste timpul de acces.

Prin limitarea introdusa, daca un modul de memorie are o dimensiune de cel puțin 256 octeti, iar prima adresa se afla în propria zona de memorie, urmatoarele se vor afla de asemenea în aceasta zona. Deoarece numai cei 7 biti cei mai puțin semnificativi ai adresei se vor modifica în timpul unui tansfer, liniile superioare de adresa pot fi decodificate o singura data, la începutul ciclului.

Ciclurile de citire-modificare-scriere

Asigura o operatie indivizibila de citire si scriere a unei locatii, fara a permite unul alt *master* accesul la acea locatie înainte de terminarea operatiei. Aceste cicluri sunt utile în sistemele multiprocesor, unde trebuie partajate anumite resurse, unele locatii de memorie fiind utilizate pentru *functii semafor*. Trebuie sa se asigure ca o resursa utilizata de un anumit proces sa nu fie utilizata de un alt proces în același timp. Un asemenea ciclu este similar cu un ciclu de citire urmat de unul de scriere, dar nu se permite acordarea magistralei de date unui alt modul între cele doua cicluri.

Ciclurile fara transferuri de date

Constau doar din transmiterea unei adrese. Rolul acestui ciclu este de a permite unui modul *master* sa anunte ca va solicita în scurt timp continutul memoriei de la o anumita adresa. La o cerere ulterioara, memoria va putea raspunde fara întârziere, evitându-se starile de asteptare. Se poate suprapune astfel un ciclu cu cel urmator.

Ciclurile de achitare a unei întreruperi

Sunt initiate de modulele de gestiune a întreruperilor în scopul citirii informatiilor de stare sau identificare de la un modul care a solicitat o întrerupere.

În Figura 3.18 se prezinta un ciclu de citire de 32 de biti.

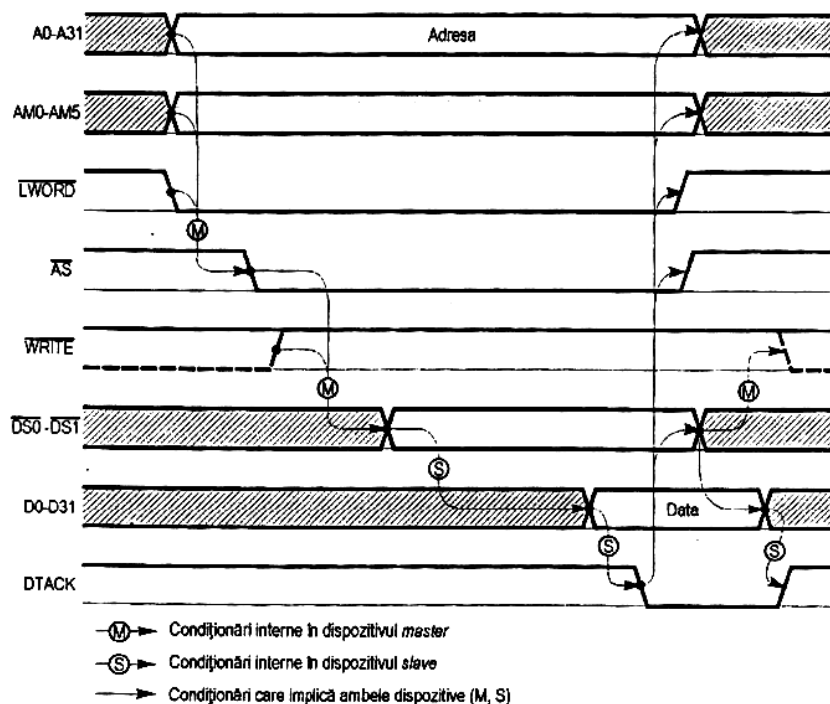


Figura 3.18. Ciclu de citire la magistrala VME

La începutul unui transfer, dispozitivul *master* depune adresa pe liniile de adrese *A0-A31* și activează semnalele de modificare a adreselor *AM0-AM5*, care definesc tipul ciclului de magistrală. Dacă se efectuează un transfer complet de 32 de biți, se activează de asemenea semnalul *LWORD*. Acest semnal definește, împreună, cu tipul ciclului, dimensiunea datelor transferate.

După stabilizarea semnalelor *A0-A31*, *AM0-AM5* și *LWORD*, dispozitivul *master* activează semnalul *AS* (*Address Strobe*) pentru a indica dispozitivului *slave* faptul că adresa este validă și poate fi memorată. Semnalul *WRITE* va fi dezactivat dacă se efectuează o citire, și va fi activat dacă se efectuează o scriere. În final, dispozitivul *master* activează semnalele *DS0 – DS1* (*Data Strobe*) pentru a indica dispozitivului *slave* ca așteaptă datele.

Pe baza semnalelor *DS0*, *DS1*, *LWORD* și *AS* se determină octetul sau octetii necesari din cadrul cuvântului selectat. Dispozitivul *slave* sesizează activarea semnalelor *DS0 – DS1* și depune datele pe liniile *D0-031*. Apoi activează semnalul *DTACK* (*Data Acknowledge*) pentru a semnaliza depunerea datelor.

Dispozitivul *slave* sesizează activarea semnalului *DTACK*, preia datele și dezactivează semnalele care au fost activate la începutul ciclului. Dezactivarea semnalelor *DS0 - DS1* determină ca dispozitivul *slave* să dezactiveze semnalul *DTACK*, terminându-se ciclul.

3.7.4. Arbitrajul de magistrală

Se utilizează o combinație între arbitrarea centralizată și cea distribuită. Există un arbitru de magistrală amplasat pe prima placă, cu rolul de a acorda magistrală pentru o cerere de un anumit nivel de prioritate. În cadrul nivelului respectiv, un modul va fi selectat prin utilizarea unei conexiuni în lanț între module.

Dintre algoritmi de arbitraj posibili, specificațiile VME descriu trei:

- arbitraj pe baza de priorități,
- arbitraj «round robin»,
- arbitraj cu un singur nivel.

Arbitrajul pe baza de priorități

Atribue magistrală pe baza unei scheme de priorități fixe, fiecărei linii de cerere fiindu-i asignată o prioritate.

Arbitrajul «round robin»

Atribue magistrală pe baza unor priorități rotitoare. Fiecare din cele 4 linii are aceeași prioritate. Dacă magistrală este atribuită modului care a activat cererea de nivel *n*, prioritatea cea mai mare va fi asignată liniei de cerere *n-1* și cea mai mică liniei *n*.

Arbitrajul cu un singur nivel

În cazul arbitrajului *cu un singur nivel*, sunt acceptate numai cereri pe linia de nivel 3. Conexiunea de tip *daisy chain* a acestui nivel va asigura ca un singur modul sa utilizeze magistrala.

Deși nu sunt descriși de specificațiile VME, se pot utiliza și alți algoritmi. De exemplu, un algoritm poate asigna prioritatea maximă cererii de nivel 3, pentru celelalte cereri atribuind realizându-se în modul *"round robin"*.

Eliberarea magistralei se poate realiza în două moduri:

- eliberare la terminare (RWD - *Release When Done*);
- eliberarea la cerere (ROR - *Release On Request*).

În primul caz, modulul care a solicitat magistrala semnalează arbitrului terminarea utilizării magistralei imediat după ce modulul sau *master* a indicat ca nu mai necesită magistrala. În cazul eliberării la cerere, după terminarea utilizării magistralei, arbitrul va fi anunțat numai dacă un alt modul a efectuat o cerere de magistrala. Pentru aceasta, modulul trebuie să monitorizeze toate liniile de cerere. Această metodă permite implementarea procedurii de parcare a magistralei.

3.8. Magistrala Micro Channel

În anul 1987, firma IBM a lansat pe piața calculatoarele din familia PS/2.

Acestea dispuneau de unele îmbunătățiri, ca: un controler pentru adaptorul video VGA integrat pe placa de bază, adaptorul de disc flexibil integrat pe placa de bază, noi porturi pentru tastatură și mouse, un adaptor și o interfață mai performante pentru discul fix.

Caracteristica cea mai importantă a acestor sisteme a fost utilizarea unei noi magistrale de extensie, magistrala *Micro Channel* (MCA - *Micro Channel Architecture*). Modelele 50Z, 55SX și 60 ale calculatoarelor PS/2 utilizează o versiune de 16 biți a acestei magistrale, iar modelele 70, 80 utilizează o versiune de 32 de biți pentru adrese și date.

Deși a fost proiectată în primul rând pentru familia de microcalculatoare PS/2, magistrala *Micro Channel* a fost proiectată astfel încât să poată fi utilizată și la calculatoarele *mainframe* ale IBM. Se descriu în continuare caracteristicile principale ale acestei magistrale.

Sistem de întreruperi îmbunătățit

Toate semnalele de întrerupere (*IRQ*) sunt active pe nivel. Aceasta necesită o logică mai simplă pentru implementare, iar semnalele sunt mai puțin vulnerabile la zgomote. Astfel se reduc costurile de implementare, se îmbunătățește fiabilitatea sistemului și cresc performanțele. Sistemul de control al întreruperilor permite partajarea unui nivel de întrerupere, spre deosebire de magistrala ISA, care permite utilizarea unui nivel de întrerupere de către un singur adaptor.

Transferuri cu performanțe ridicate

Frecvența de lucru a magistralei este de 10 MHz pentru conectorii de 16 biți și de 16 MHz pentru conectorii de 32 de biți. Specificațiile definesc un ciclu implicit de 200 ns pentru transferul a 4 octeți, ceea ce corespunde unei rate de transfer de 20 MB/s. Specificațiile permit ca datele să fie transferate în cicluri cu durată mai mică decât cea implicită.

Rata reală de transfer a unui sistem este determinată de rata maximă de transfer a dispozitivului *master* care controlează transferurile, și de restricțiile de transfer ale dispozitivelor conectate la magistrală (din punctul de vedere al ratei de transfer și a dimensiunii datelor). Viteza de transfer cu perifericele ajunge la 4 MB/s. Discurile pot transfera date într-un mod numit *mod exploziv*, cu rate de până la 9 MB/s.

Magistrale de adrese și de date de 32 biți

Magistrala de adrese de 32 biți permite un spațiu de adresare de 4 GB de memorie sau dispozitive de I/E mapate în memorie. Specificațiile permit și implementarea unui subset de 24 de biți al acestei magistrale. Magistrala de adrese poate fi utilizată și ca o magistrală de I/E de 16 biți.

Magistrala de date de 32 biți se poate utiliza și ca o magistrală de 24 biți, 16 biți, sau 8 biți. Specificațiile permit implementarea unui subset de 16 biți al magistralei de date atunci când este implementată o magistrală de adrese de 24 biți. Magistrala de 16 biți se poate utiliza pentru transferul datelor de 16 sau 8 biți.

Seleția programabilă a opțiunilor

Această facilități, numită *Programmable Option Select* (POS), elimină necesitatea comutatoarelor de pe placa de bază sau de pe plăcile de extensie. Permite identificarea dispozitivelor, elimină conflictele legate de asignarea resurselor și asigură configurarea dinamică a sistemului, dacă există un sistem de operare adecvat și drivere software corespunzătoare.

Informațiile de configurație a dispozitivelor sunt pastrate în opt registre de câte 1 octet. Fiecare dispozitiv conectat la magistrală poate fi validat sau invalidat printr-un bit din registrele sale POS. Aceste registre mai conțin identificatorul dispozitivului, un indicator al condiției de excepție și informații optionale de stare. Cu aceste informații, sistemul de operare și driverele de dispozitiv pot corecta condiția de eroare sau pot dezactiva dispozitivul.

Sistemul de arbitraj

Sistemul de arbitraj al magistralei asigura atât regimul de multitasking, cât și prelucrarea paralela. Magistrala de date poate fi partajată de către un total de 16 dispozitive master și slave. Se pot adăuga coprocesoare, sisteme grafice și de comunicație.

Există 4 linii de prioritate, care stabilesc 16 nivele de prioritate și se utilizează la arbitrarea magistralei. Fiecarui dispozitiv master i se atribuie un nivel de prioritate între 0 și F, nivelul F fiind cel mai puțin prioritar. Dispozitivul cu nivelul de prioritate F este numit *master implicit*. Acestuia i se acordă magistrala atunci când nu există nici un alt master și la apariția unei condiții de excepție.

Un dispozitiv conectat la magistrala Micro Channel care dorește să utilizeze magistrala trimite numărul de prioritate care i-a fost acordat pe cele 4 linii de prioritate. Fiecare dispozitiv sau placă de extensie controlează aceste semnale sau renunță la magistrală, dacă detectează existența unei cereri de prioritate mai mare.

Îmbunătățiri ale magistralei Micro Channel

În anul 1990, IBM a introdus câteva îmbunătățiri magistralei Micro Channel pentru a crește viteza de transfer. În modul de transfer "*streaming*" pe 32 sau 64 de biți transferurile de adrese și date intervin la intervale de 200 ns, urmând ca datele ulterioare să se transmită la intervale de 100 ns, eliminând necesitatea de a transmite adrese înaintea fiecărui bloc de date. Cu acest mod, pe 32 de biți se ajunge la o rată de transfer de 40 MB/s, pentru un ceas de 10 MHz. Prin implementarea unui mod "*streaming*" pe 64 de biți, se pot transmite date și pe magistrala de adrese în timpul în care aceasta nu este ocupată, rata de transfer ajungând la 80 MB/s.

Arhitectura Micro Channel nu s-a impus în măsura așteptată din mai multe motive:

- incompatibilitatea cu plăcile existente AT sau ISA;
- performanțele nu au crescut în mod semnificativ față de sistemele cu magistrală ISA;
- creșterea prețurilor, din cauza dimensiunilor mai reduse ale plăcilor, a tehnologiei de realizare și a cheltuielilor de licență.

Totuși arhitectura Micro Channel a introdus mai multe concepte noi care sunt utilizate în prezent pentru implementarea magistrelor VL Bus și PCI.

3.9. Magistrala EISA

Magistrala EISA (*Extended Industry Standard Architecture*) a fost elaborată în anul 1988, de un consorțiu de firme condus de *Compaq* și *Intel*. Scopul era extinderea magistralei ISA, astfel încât să permită arhitecturi de 32 de biți și viteze de transfer superioare, păstrând însă compatibilitatea cu plăcile de extensie existente și cu perifericele. Se urmărea însă și concurența magistralei Micro Channel.

S-a adăugat un nou conector de extensie cu semnale suplimentare, iar complexitatea arhitecturii magistralei a crescut. Multe caracteristici sunt similare cu cele ale magistralei Micro Channel:

- transferuri pe 32 de biți;
- posibilitatea multiprelucrării;
- configurarea automată a sistemului și a plăcilor de extensie, fără utilizarea comutatoarelor.

Întreruperile sunt declanșate pe front sau pe nivel, selecția fiind realizată prin program. Magistrala EISA asigură o independență față de arhitectura procesorului utilizat.

Întregul spațiu de adresare de 32 biți este complet accesibil, nu numai de către procesor, dar și de dispozitivele DMA și controlerile de magistrală. Chiar controlerile DMA existente de 16 biți pot avea acces la întregul spațiu de adresare.

Toate transferurile executate pe magistrală EISA sunt sincronizate de un semnal de ceas de 8,33 MHz. Există un mod de *transfer in avalanșă (burst mode)*, în care un transfer este executat într-un ciclu de ceas al magistralei. Aceasta echivalează cu 8,33 milioane de transferuri pe secundă. Se pot transfera maxim patru octeți într-un ciclu, ceea ce corespunde unei rate maxime teoretice de transfer de 33 MB/s.

Diferența principală față de magistrala Micro Channel este că magistrala EISA este compatibilă cu magistrala ISA (AT), deci calculatoarele cu o magistrală EISA pot utiliza noile plăci de extensie EISA, ca și vechile plăci de extensie AT. Calculatoarele cu o magistrală Micro Channel pot utiliza numai plăci de extensie Micro Channel.

Circuitele utilizate pentru arhitecturile EISA au un preț mai ridicat. Datorită acestui dezavantaj sistemele EISA nu au devenit arhitecturi de largă utilizare, fiind folosite mai ales pentru aplicații pretentioase ca servere de rețea sau grafică de performanță. Pentru ea au fost produse doar câteva plăci.

3.10. Magistrale locale

3.10.1. Cerințe pentru ratele de transfer

În cazul sistemelor actuale este necesar transferul rapid al unor blocuri mari de date. Această necesitate apare

mai ales la urmatoarele subsisteme:

- *Adaptoare grafice*

Interfetele grafice ale sistemelor de operare *Windows*, *OS/2* si *Unix X-Windows* necesita actualizarea rapida a imaginii grafice pentru deplasarea, redimensionarea si actualizarea ferestrelor multiple. Acelasi lucru este valabil pentru imaginile video în miscare. Procesorul trebuie sa actualizeze si sa transfere blocuri mari de date în cadrul memoriei video.

- *Adaptoare pentru interfata SCSI*

Interfata SCSI este utilizata mai ales pentru memorii de masa, ca unitati de disc fix, unitati CD-ROM si unitati de banda încasetata. Cresterea vitezei de transfer cu aceste dispozitive influenteaza semnificativ performantele globale ale sistemului.

- *Adaptoare de retea FDDI (Fiber Distributed Digital Interface)*

Daca adaptorul de retea este utilizat pentru transferul unor fisiere la sau de la un server, rata cu care pot fi transferate datele între memorie si adaptor influenteaza performantele sistemului.

Tabelul 3.3 prezinta ratele de transfer necesare pentru unele subsisteme de I/E.

Majoritatea subsistemelor sunt conectate la magistrala de extensie a calculatorului PC. Aceasta poate fi o magistrala ISA, EISA sau Micro Channel. Aceste magistrale nu asigura o rata de transfer suficienta pentru imagini grafice de inalta rezolutie si un numar mare de culori, si nici pentru imagini video cu un numar de 30 cadre/s.

Un calcul simplu arata ca un ecran 1024*768 utilizat pentru imagini color reale, în miscare (3 octet/pixel) contine 2,25 Mo de date. Pentru o miscare lenta sunt necesare cel putin 30 ecrane/sec, deci o viteza de transfer a datelor de 67,5 Mo/sec. De fapt, situatia este mult mai critica deoarece pentru a afisa o imagine de la un hard disk, CD-ROM sau DVD datele trebuie sa treaca de la unitatea de disc, pe magistrala, catre memorie. Pentru a fi afisate, datele trebuie sa treaca din nou pe magistrala catre adaptorul grafic. Rezulta ca este nevoie de o banda de trecere a magistralei dubla, de 135 Mo/sec.

Magistrala ISA lucreaza la o viteza maxima de transfer de 8,33 MHz si poate transfera 2 octeti pe ciclu, deci o viteza medie de transfer de 16,7 Mo/sec.

Subsistem	Rata de transfer (MB/s)
Adaptor grafic	30 .. 40
Video	5 .. 30 (pe fereastră)
LAN	15 pentru FDDI
	3 pentru Token Ring
	2 pentru Ethernet
Disc fix	20 .. 80
CD-ROM	6
Audio	1 pentru calitate CD

Tabelul 3.3.

În multe cazuri, anumite subsisteme sunt integrate pe placa sistem. Aceasta nu inseamna ca ele nu utilizeaza magistrala de extensie. Cele mai multe subsisteme integrate sunt conectate la o extensie a magistralei de extensie, numita *magistrala X* sau *magistrala utilitara*. Figura 3.19 ilustreaza relatia dintre magistrala X, magistrala de extensie si procesorul sistemului.

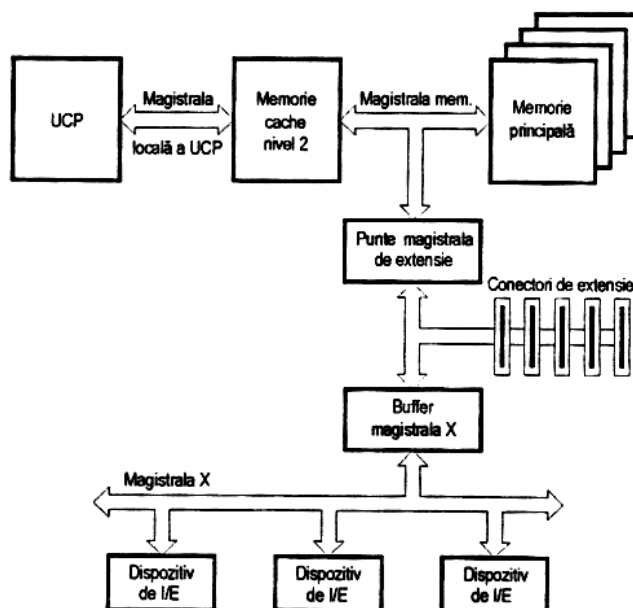


Figura 3.19. Magistrala X

La o operație de citire a memoriei, procesorul poate comunica cu memoria sa *cache* internă (de nivel 1) la viteza maximă, dacă informația cerută se află în memoria *cache*. Dacă această memorie *cache* este de tip *write-back*, operațiile de scriere în locațiile aflate în memoria *cache* se pot executa de asemenea la viteza maximă. Dacă la o citire cuvântul nu se află în memoria *cache*, sau conținutul memoriei *cache* trebuie scris în memoria principală, procesorul trebuie să utilizeze magistrala sa locală pentru a comunica cu memoria *cache* externă (de nivel 2). Dacă cuvântul nu se află nici în această memorie *cache*, se execută un acces la memoria DRAM.

La executarea unei operații de I/E, se va executa un ciclu de citire sau scriere utilizând magistrala de extensie. Viteza de execuție a acestui ciclu este dată de viteza maximă a magistralei de extensie și de timpul de acces al dispozitivului adresat.

3.10.2. Conceptul magistralei locale

Pentru a crește rata de transfer la operațiile de actualizare a memoriei video, adaptorul video se poate conecta la magistrala locală a procesorului în locul magistralei de extensie. Adaptorul video este re-proiectat pentru conectarea directă la magistrala locală și minimizarea sau eliminarea starilor de așteptare inserate în ciclurile de magistrală atunci când procesorul face acces la memoria video și la registrele de I/E ale adaptorului. În plus, adaptorul video conține și un procesor local care poate executa comenzi grafice de nivel mare.

Există trei metode de bază pentru conectarea unui dispozitiv la magistrala locală a procesorului

Conectarea directă

Dispozitivul este conectat direct la magistrala locală a procesorului. Acesta poate fi un procesor de orice tip, de exemplu 80486 sau Pentium. Această metodă impune unele restricții importante de proiectare:

- Deoarece dispozitivul este conectat direct la magistrala locală a procesorului, va trebui re-proiectat pentru a fi utilizat cu procesoarele din generațiile viitoare (dacă structura magistralei sau protocolul vor fi modificate).
- Datorită încărcării suplimentare a magistralei locale, nu se poate conecta mai mult de un dispozitiv.
- Deoarece frecvența magistralei locale este ridicată, proiectarea interfeței la magistrala a dispozitivului este dificilă.
- În cazul modernizării ulterioare a sistemului prin instalarea unui procesor de tip *"overdrive"*, sistemul poate funcționa incorect datorită încărcării suplimentare a magistralei locale.
- Procesorul nu poate efectua transferuri cu un dispozitiv în timp ce dispozitivul de pe magistrala locală execută un transfer cu un alt dispozitiv.

Conectarea printr-un buffer

Bufferul prin care este conectat dispozitivul la magistrala locala amplifica semnalele magistralei, fiind posibila conectarea mai multor dispozitive. Deoarece magistrala locala bufferata este izolata din punct de vedere electric fata de magistrala locala a procesorului, reprezinta o singura incarcare pentru aceasta. La magistrala buferata se pot conecta de obicei trei dispozitive, acesta fiind singurul avantaj al acestei metode.

Un dezavantaj al conectarii printr-un buffer este ca orice tranzactie initiata de procesor apare pe magistrala locala, ca si pe cea bufferata. De asemenea, orice tranzactie initiata de un dispozitiv master de pe magistrala bufferata apare si pe magistrala locala a procesorului. De aceea, procesorul si dispozitivul master nu pot utiliza magistrala simultan.

Conectarea de tip statie de lucru

În cazul acestei solutii, utilizata la numeroase statii de lucru, controlerul memoriei cache de nivel 2 este combinat cu un circuit de interfata numit *punte (bridge)*, care asigura interfata dintre procesor, memoria principala si o magistrala de I/E de viteza ridicata (de exemplu, PCI). Dispozitivele conectate la magistrala de I/E pot fi si adaptoare inteligente cu rol de *master*. Prin utilizarea puntii de legatura, memoria principala poate fi accesata fie de procesor (prin memoria sa *cache* de nivel 2), fie de un dispozitiv *master* de pe magistrala de I/E sau magistrala de extensie.

Procesorul poate continua incarcarea datelor din memoria *cache* de nivel 1 sau 2, în timp ce controlerul memoriei *cache* asigura accesul la memoria principala a unui dispozitiv *master* de pe magistrala de I/E. Dispozitivele *master* pot de asemenea comunica direct cu dispozitive *slave* de pe magistrala de I/E în timp ce procesorul acceseaza una din memoriile *cache* sau controlerul memoriei *cache* de nivel 2 acceseaza memoria principala.

Un alt avantaj important al acestei metode este ca interfata dispozitivelor conectate la magistraqla de I/E va fi independenta de magis trala procesorului. Modernizarea procesorului poate fi efectuata simplu, fara a afecta magistrala de I/E si dispozitivele conectate la aceasta. Va trebui reproiectata numai puntea de legatura.

3.10.3. Magistrala VL Bus

Asociatia de standardizare pentru electronica video, VESA (*Video Electronics Standards Association*), o asociatie de firme care sunt implicate în proiectarea si productia adaptoarelor gratice, a format un comitet pentru dezvoltarea si standardizarea unci magistrale locale si a conectorilor magistralei. Aceasta magistrala denumita VL Bus (*VESA Local Bus*), a aparot în anul 1992 si în acelasi an a fast standardizata prima versiune (1.0) a acesteia.

Aceasta versiune defineste doua metode de interfatare la magistrala locala a procesorului: metoda directa si cea bufferata care au fast descrise anterior. Magistrala care utilizeaza prima metoda este numita de tip *A*, iar cea care utilizeaza metoda a doua este numita de tip *B*. În ambele cazuri, magistrala se bazeaza pe magistrala locala a procesorului 80486. Diferenta principala dintre cele doua tipuri este ca magistrala de tip *B* permite utilizarea a pâna la trei conectori de extensie, în functie de încarcarea capacitiva, în timp ce magistrala de tip *A* nu permite conectori de extensie, fiind posibila conectarea unui singur dispozitiv. În cazul tipului *B*, apar întârzieri datorita bufferului, care determina de obicei inserarea unor stari de aseptare în timpul transferurilor.

Versiunea 2.0 a magistralei prevede îmbunatatiri prin extinderea liniilor de date la 64 si posibilitatea conectarii microprocesoarelor Pentium, pastrând compatibilitatea cu versiunea 1.0.

Magistrala VL Bus este scalabila si extensibila, fiind compatibila cu magistralele existente ISA, EISA, Micro Channel. Specificatiile acesteia sunt disponibile pentru toate firmele, nefiind protejate prin brevet. Frecventa maxima a magistralei este de 50 MHz. În cazul unei asemenea frecvente, devine importanta valoarea capacitatii electrice a liniilor magistralei. La cresterea numarului de echipamente conectate la magistrala, creste si valoarea capacitatii electrice, si deci încarcarea magistralei. Valorile mari ale capacitatii tind sa micsoreze viteza semnalelor si performantele magistralei.

Tabelul 3.4 prezinta ratele teoretice maxime de transfer pentru magistrala VL Bus de 32 si 64 de biti, în functie de diferite frecvente de ceas ale acestora.

Tabelul 3.4. Ratele maxime de transfer ale magistralei VL Bus

Frecvența de ceas a magistralei VL Bus	Rata de transfer maximă (32 biți)	Rata de transfer maximă (64 biți)
25 MHz	80 MB / s	133 MB / s
33 MHz	107 MB / s	178 MB / s
40 MHz	128 MB / s	213 MB / s
50 MHz	160 MB / s	276 MB / s

Conectorii de extensie pentru magistrala VL Bus sunt adaugati pe aceesi linie cu conectorii magistralei ISA, ceea ce permite combinarea adaptoarelor ISA si a celor VL Bus pe aceeași placă. Sistemele cu magistrala VL Bus cele mai utilizate sunt cele care permit atât extensii VL Bus, cât și ISA.

Standardul VL Bus specifica faptul ca dispozitivele conectate la magistrala trebuie sa permita configurarea automata a sistemului. Nu se defineste însă modul în care trebuie realizata configurarea automata, deci registrele de configurare pentru fiecare dispozitiv. Specificatiile indica de asemenea ca dispozitivele conectate la magistrala VL Bus trebuie sa fie transparente la driverele de dispozitiv, deci trebuie sa raspunda la același set de comenzi și sa furnizeze aceeași stare ca și cele conectate la o alta magistrala.

Pe lângă adaptoarele video, exista și alte echipamente care sunt conectate la magistrala locala, cum sunt: adaptoare de disc IDE, adaptoare SCSI sau adaptoare de retea.

Avantajele magistralei VL Bus constau în simplitatea arhitecturii și costul redus. Dezavantajul principal este ca la aparitia unor procesoare mai performante, logica de interfata trebuie reproiectata pentru acestea. De asemenea, faptul ca nu se defineste formatul registrelor de configuratie și adresele acestora nu permite realizarea unor interfete software unitare pentru dispozitivele conectate la magistrala.