

3.1 MAGISTRALE

Magistralele reprezintă cai electrice de transmitere a semnalelor între diferite elemente ale unui sistem de calcul. Un exemplu îl constituie magistrala sistem întâlnită la microcalculatoare, prin care se pot conecta la acestea memorii și plăci de extensie. În cadrul sistemelor de calcul există de obicei mai multe magistrale diferite.

Pentru a fi posibilă conectarea plăcilor de extensie ale diferiților producători la sistemele de calcul, trebuie să existe reguli bine definite asupra funcționării magistralei, care constituie protocolul magistralei, și specificații mecanice și electrice ale acesteia.

Anumite dispozitive conectate la magistrală sunt *active* și pot iniția un transfer, iar altele sunt *pasive* și așteaptă cererile de transfer. Dispozitivele active se numesc dispozitive *master*, iar cele pasive - dispozitive *slave*. Atunci când UCP solicită unui controler de disc citirea sau scrierea unui bloc, UCP are rol de *master*, iar controlerul are rol de *slave*. Controlerul de disc poate deveni *master*, de exemplu atunci când solicită memoriei acceptarea cuvintelor citite de pe disc. Memoria nu poate deveni *master*.

Pentru amplificarea semnalelor, dispozitivele *master* se conectează la magistrală prin *driver de magistrală* (*bus driver*). Similar, dispozitivele *slave* sunt conectate prin *receptoare de magistrală* (*bus receiver*). Pentru dispozitivele care pot fi atât emitoare cât și receptoare, se utilizează *circuite emitoare/receptoare de magistrală* (*bus transceiver*).

Aceste circuite de interfata cu magistrală stăpânesc fie de tip *tri-state*, pentru a permite deconectarea lor de la magistrală, fie de tip *colector deschis*, prin care se obține un efect similar. Dacă două sau mai multe dispozitive conectate la o linie de tip colector deschis activează linia în același timp, rezultatul este funcția SAU logic între aceste semnale. Aceasta conexiune se numește SAU cablat (*wired-OR*).

Principalele aspecte de proiectare legate de magistrale sunt eliminarea unor fenomene electrice nedorite, modul de sincronizare și mecanismul de arbitraj. Aceste aspecte au un impact semnificativ asupra vitezei și a fiabilității magistralei.

3.1.1. Considerații electrice

Odată cu creșterea frecvenței de funcționare a calculatoarelor, magistralele trebuie să opereze la frecvențe din ce în ce mai înalte. Proiectarea unor magistrale optimizate pentru un timp de transfer minim necesită înțelegerea și minimizarea unor fenomene electrice a căror apariție determină scăderea fiabilității sistemelor. Dintre acestea, *reflexiile de semnal* sunt cele mai importante.

Reflexiile în liniile de transmisie sunt determinate în principal de discontinuitățile impedanțelor: încărcări capacitive necorespunzătoare, conectori, intrări ale dispozitivelor și treceri între diferite straturi ale circuitelor imprimate. Impactul unei discontinuități asupra unui semnal depinde de impedanța sursei semnalului, de lungimea și tipul discontinuității.

3.1.1.1. Liniile de transmisie

O linie de transmisie clasică, formată din două conductoare poate fi reprezentată în modurile echivalente din Figura 3.1.

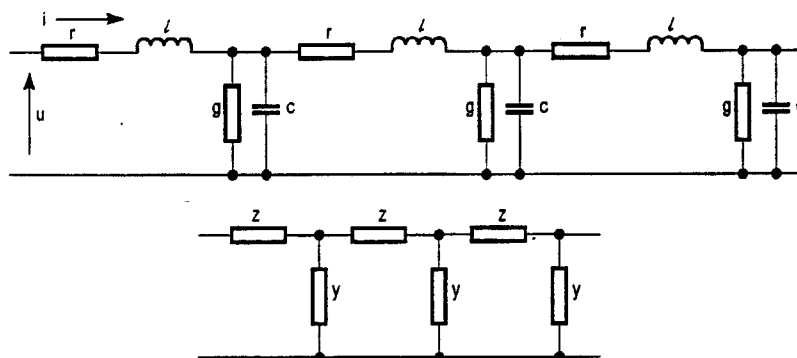


Fig. 3.1. Doua moduri echivalente de reprezentare a unei linii de transmisie

Linia de transmisie este reprezentată printr-o rețea diferențială de tip T cuprinzând impedanțe în serie și admitanțe în paralel, care reprezintă energia memorată și pierdută pe unitatea de lungime de-a lungul liniei. *Energia memorată* în câmpurile magnetice și electrice pe unitatea de lungime este reprezentată prin l și c . *Pierderile de energie* pe unitatea de lungime sunt modelate prin r și g . La o frecvență unghiulară ω , se poate scrie :

$$z = r + j\omega l \quad (4.1)$$

$$y = g + j\omega c \quad (4.2)$$

Se definește constanta de propagare k astfel încât:

$$k^2 = -zy \quad (4.3)$$

și viteza de propagare v_p :

$$v_p = \omega / k \quad (4.4)$$

Această viteză depinde deci de frecvență și de parametrii liniei, prin constanta k . Se poate demonstra că relația dintre tensiunea u și curentul i este:

$$\frac{u}{i} = \pm \sqrt{\frac{z}{y}} = \pm \sqrt{\frac{r + j\omega l}{g + j\omega c}} = \pm Z_0 \quad (4.5)$$

Marimea Z_0 , care depinde numai de parametrii liniei, se numește *impedanța caracteristică* a liniei. În cazul particular în care pierderile în linie sunt neglijabile ($r = g = 0$), rezultă:

$$Z_0 = \sqrt{\frac{l}{c}} \quad (4.6)$$

$$k = \omega \sqrt{lc} \quad (4.7)$$

Cele două valori Z_0 și k depind numai de parametrii liniei și de frecvență. Pentru liniile de alimentare, Z_0 este în jur de 300Ω . În cazul cablurilor coaxiale, impedanța caracteristică are valori tipice între 50 și 75Ω .

4.1.1.1. Reflexii de semnal

În Figura 3.2 este reprezentată o linie de transmisie cu impedanța Z_0 și timpul de propagare pe unitatea de lungime T_{ip} .

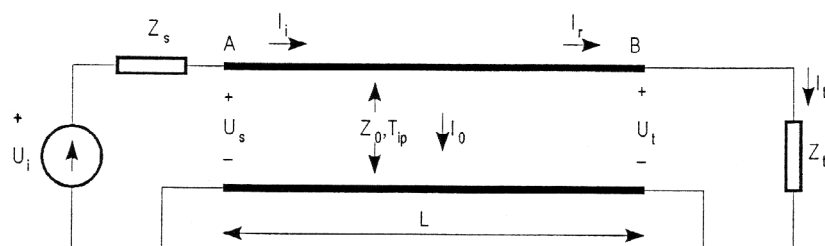


Figura 3.2. Linie de transmisie cu impedanța Z_0 și timpul de propagare unitar T_{ip}

Se consideră că linia are o sursă de tensiune ideală U_i , cu impedanța sursei Z_s în punctul A. Linia este terminată în punctul B, la o distanță de L unități de punctul A, printr-o impedanță de încărcare Z_t . Inițial Z_s este 0, iar Z_t este o încărcare rezistivă. La momentul $t = 0$, liniei i se aplică o unitate de tensiune U_i . Curentul I_i determinat de U_i și Z_0 se propagă prin linie. La momentul $t = T_{pl} \cdot L = T_{prop}$, curentul ajunge în punctul B. Pentru a se satisface legea lui Ohm pentru impedanța liniei și cea de încărcare, trebuie să aibă loc o corecție instantanee a tensiunii și curentului. Aceasta corecție va lua forma unei unde electromagnetice reflectate, compusă din U_r și I_r . Semnalul incident va fi deci divizat într-un semnal transmis și un semnal reflectat.

Aplicând legea lui Ohm în punctul B, cu polaritățile din Figura 4.2, avem

$$Z_t = \frac{U_t}{I_t} = \frac{U_i + U_r}{I_i + I_r} \quad (4.8)$$

$$Z_0 = \frac{U_i + U_r}{I_i - I_r} \quad (4.9)$$

Rezultă:

$$Z_t (I_i + I_r) = Z_0 (I_i - I_r) \quad (4.10)$$

sau

$$I_r (Z_0 + Z_t) = I_i (Z_0 - Z_t) \quad (4.11)$$

$$\frac{I_r}{I_i} = \frac{Z_0 - Z_t}{Z_0 + Z_t} = - \frac{Z_t - Z_0}{Z_t + Z_0} \quad (4.12)$$

Acest raport reprezinta *coeficientul de reflexie pentru curent*. Se utilizeaza de obicei *coeficientul de reflexie pentru tensiune*:

$$r = \frac{U_r}{U_i} = \frac{Z_t - Z_0}{Z_t + Z_0} \quad (4.13)$$

Coeficientul de reflexie indica diviziunea semnalului incident, fiind pozitiv pentru tensiunea reflectata si negativ pentru curentul reflectat. Are valori între -1 si 1 pentru o impedanta de încărcare între zero si infinit.

Se vcr examina trei cazuri :

Cazul 1: $Z_t = Z_0$.

În acest caz, atunci când unda incidenta (U_i, I_i) ajunge în punctul B, legea lui Ohm este respectata fara nici o corectie. Coeficientul de reflexie $r = 0$, si deci $U_r = 0$ si $I_r = 0$.

Cazul 2: $Z_t > Z_0$.

Atunci când unda incidenta ajunge în punctul B, apare o reflexie.

Daca $Z_t = 2Z_0$, coeficientul de reflexie este $r = 0,33$ (din ecuatia 4.13). Astfel, în punctul B tensiunea va fi $U_i + U_r = 0,33 U_i$, iar curentul este $I_i - 0,33 I_i = 0,66 I_i$.

Cazul 2: $Z_t < Z_0$.

Din nou, apare o reflexie în punctul B. Presupunand ca $2Z_t = Z_0$, $r = -0,33 I_i$, tensiunea în punctul B este $0,66 U_i$, iar curentul este $1,33 I_i$.

3.1.1.3. Terminatori de bus

Fara utilizarea teminatorilor de magistrala, apar reflexii de semnal care detemina oscilatii. Terminatorii cei mai utilizati sunt cei rezistivi, care se pot conecta în serie sau în paralel.

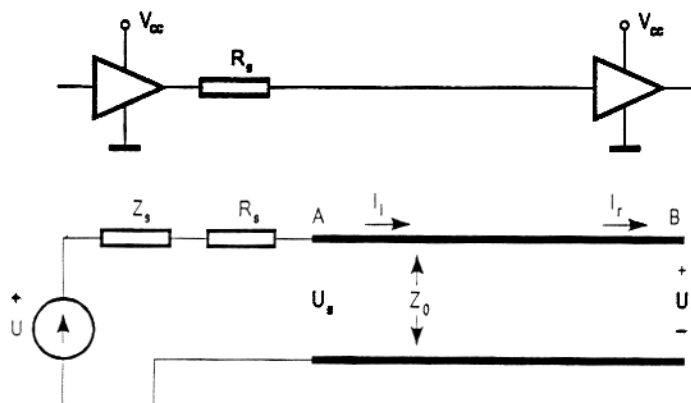


Figura 3.3. Terminator serie

În cazul *terminatorului serie*, se plaseaza o rezistenta în serie cu iesirea sursei (Figura 3.3).

În cazul ideal, suma dintre valoarea rezistentei si impedanta sursei este egala cu impedanta caracteristica a liniei, sau:

$$R_s = Z_0 - Z_s \quad (4.14)$$

În general, sursele nu au impedante de iesire simetrice. Impedanta de iesire în starea low, Z_{ol} , de 5-25 Ω , este mai mica decât impedanta de iesire în starea high, Z_{oh} , de 45-90 Ω . Rezultate satisfactoare se pot obtine cu rezistente având valori intermediare:

$$Z_0 - Z_{oh} < R_s < Z_0 - Z_{ol} \quad (4.15)$$

În cazul terminatorului paralel, se plasează rezistențe la capatul receptor al liniei. Implementarea se realizează de obicei printr-un divizor (Figura 3.4).

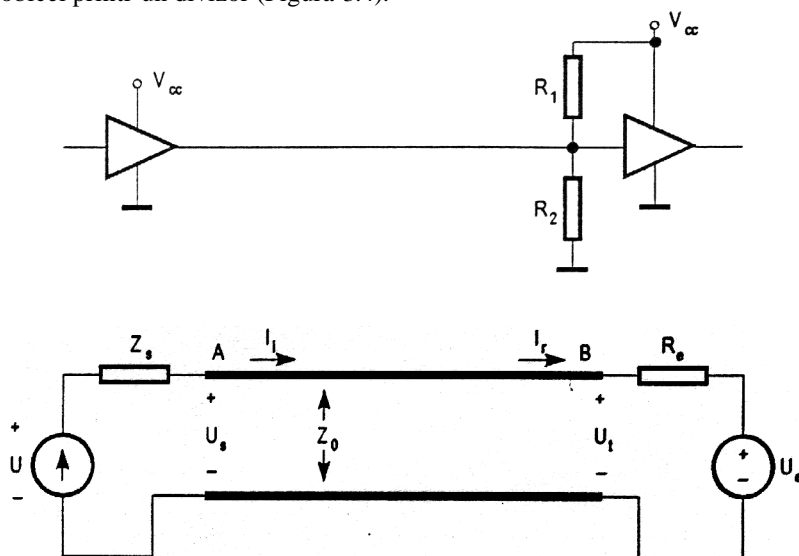


Figura 3.4. Terminator paralel

Rezistența echivalentă trebuie să fie egală cu impedanța caracteristică Z_0 . Rezistența echivalentă se poate determina prin relația:

$$R_e = \frac{R_1 R_2}{R_1 + R_2} \quad (4.16)$$

Tensiunea U_e se poate determina prin deconectarea divizorului de la linie și calculând tensiunea circuitului deschis.

$$U_e = V_{cc} \frac{R_2}{R_1 + R_2} \quad (4.17)$$

Alte forme a terminatorului paralel se pot obține prin conectarea unei singure rezistențe la V_{cc} (*pull-up*), respectiv la masă (*pull-down*). O singură rezistență conectată la V_{cc} va disipa putere numai când ieșirea sursei este *low*. Similar, o singură rezistență conectată la masă va disipa putere numai atunci când ieșirea sursei este *high*.

Terminatorul paralel se poate utiliza pentru magistralele bidirectionale.

O altă posibilitate pentru realizarea terminatorilor este utilizarea diodelor de limitare. Dispozitivele TTL și CMOS au de obicei diode de protecție la intrare. Pe lângă protecția împotriva descărcărilor electrostatice, acestea permit și reducerea reflexiilor. O schemă posibilă este cea din Figura 3.5.

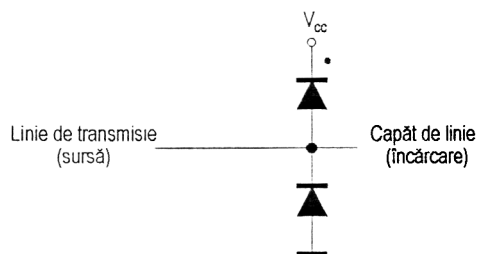


Fig. 3.5. Terminator cu dioda de limitare

Tensiunea de intrare va fi menținută între -0,5 .. -1,5 V și 0,5 .. 1,5 V peste V_{cc} . În cazul circuitelor TTL bipolare, lipsește de obicei dioda conectată la V_{cc} . Pentru îmbunătățirea performanțelor, se poate adăuga o diodă *Schottky* rapidă, conectată la masă (și la V_{cc} dacă este necesar). Se poate utiliza o schemă îmbunătățită ca în Figura 3.6.

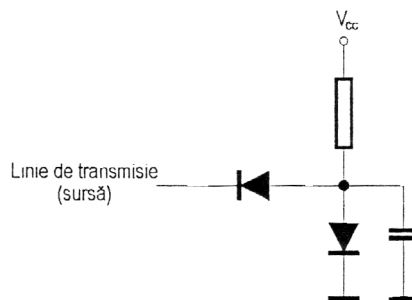


Figura 3.6. Terminator îmbunatatit cu dioda de limitare

3.1.2. Magistrale sincrone si asincrone

Dupa modul de control al transferului de informatii magistralele pot fi *sincrone* sau *asincrone*.

Toate operatiile magistralelor sincrone sunt sincronizate de un semnal de ceas si necesita un numar întreg de perioade de ceas, numite *cicluri de magistrala*.

Magistralele asincrone nu utilizeaza un semnal de ceas. Ciclurile de magistrala pot avea în acest caz orice durata, si aceasta nu trebuie sa fie aceeasi între toate perechile de dispozitive.

3.1.2.1. Magistrale sincrone

Consideram o magistrala sincrona cu perioada ceasului T . Presupunem ca citirea unui octet sau cuvânt din memorie necesita 3 cicluri de magistrala, T_1 , T_2 si T_3 , cu durata totala $3T$ (Figura 3.7).

În ciclul T_1 , UCP depune adresa cuvântului pe liniile de adrese. Dupa stabilizarea adresei la noua valoare, se activeaza semnalele MREQ (care indica accesul la memorie si nu la un dispozitiv de I/E) si RD. Memoria decodifica adresa în ciclul T_2 si depune data pe magistrala în ciclul T_3 . Pe frontul descrescator al ceasului din ciclul T_3 , UCP strobeaza (citeste) liniile de date, memorând valoarea într-un registru intern. Dupa citire, UCP dezactiveaza semnalele MREQ si RD, dupa care, de la frontul crescator al ceasului, poate incepe un nou ciclu.

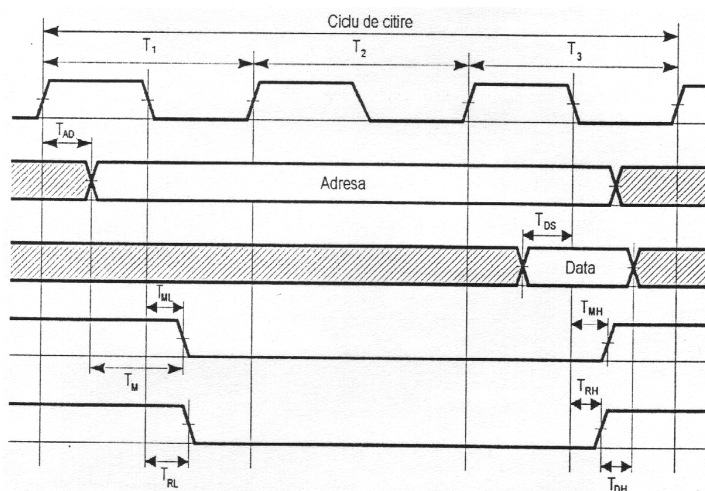


Figura 4.7. Ciclu de citire la o magistrala sincrona

Pentru o functionare corecta, exista specificatii de temporizare care trebuie respectate. Unele întârzieri sunt limitate la o valoare minima, iar altele la o valoare maxima.

T_{AD} este intervalul de timp de la începutul ciclului T_1 pana la depunerea adresei. Trebuie sa fie mai mic decat o valoare maxima:

$$T_{AD} \leq T_{ADmax}$$

Aceasta garanteaza ca în timpul fiecarui ciclu de citire, UCP va depune adresa într-un timp mai mic decat cel maxim.

T_{DS} (*Data Setup*) este intervalul de la depunerea datei până la frontul descrescător al ceasului din ciclul T_3 . Trebuie ca:

$$T_{DS} \geq T_{DSmin}$$

pentru ca data sa fie stabilizata înaintea citirii acesteia de catre UCP.

Datorita restrictiilor asupra intervalelor T_{AD} si T_{DS} , în cazul cel mai defavorabil, memoria trebuie sa depuna data într-un timp de cel mult:

$$2T + T/2 - T_{AD} - T_{DS}$$

de la depunerea adresei. Daca memoria nu poate raspunde în acest interval de timp, trebuie sa activeze semnalul *WAIT* înainte de mijlocul ciclului T_2 , când se testeaza semnalul *WAIT*. Se vor insera *stari de asteptare* (cicluri suplimentare de magistrala) până când memoria dezactiveaza semnalul *WAIT*.

T_M este intervalul de la depunerea adresei până la activarea semnalului *MREQ*. Trebuie ca:

$$T_M \geq T_{Mmin}$$

pentru ca adresa sa fie stabila pana la activarea semnalului *MREQ*. Acest timp este important daca *MREQ* se utilizeaza la selectia circuitului de memorie, deoarece anumite memorii necesita un timp de stabilizare a adresei până la selectie.

T_{ML} , T_{RL} sunt intervalele de la frontul descrescător al ceasului din ciclul T_1 până la activarea semnalului *MREQ*, respectiv *RD*. Trebuie ca:

$$\begin{aligned} T_{ML} &\leq T_{MLmax} \\ T_{RL} &\geq T_{RLmin} \end{aligned}$$

pentru ca aceste semnale sa fie activate într-un anumit timp de la mijlocul ciclului T_1 .

Memoria va avea un timp de cel mult:

$$2T - \max(T_{ML}, T_{RL}) - T_{DS}$$

de la activarea *MREQ* negat si *RD* negat până la depunerea datei.

T_{MH} , T_{RH} indica timpul dupa care trebuie dezactivate semnalele *MREQ* negat si *RD* negat dupa citirea datei.

3.1.2.2. Magistrale asincrone

La magistralele sincrone, daca un transfer se termina înaintea unui numar întreg de cicluri, trebuie sa se astepte până la sfarsitul ciclului, ceea ce duce la întârzieri inutile. Daca la o magistrala sunt conectate dispozitive cu viteze diferite (unele lente, altele rapide), viteza trebuie aleasa dupa dispozitivul cel mai lent, cele rapide fiind întârziate.

De asemenea, dupa alegerea unui ciclu de magistrala, este dificil sa se utilizeze avantajele îmbunatatirilor tehnologice viitoare. De exemplu, daca dupa un timp vor fi disponibile memorii mai rapide, desi ele pot fi utilizate, vor functiona la aceeasi viteza ca si cele vechi, deoarece protocolul magistralei cere ca memoria sa depuna datele imediat înaintea frontului descrescător al ceasului din ciclul T_1 .

O magistrala asincrona elimina aceste dezavantaje. În locul semnalului de ceas se utilizeaza un protocol logic între emitor si receptor (*handshake*) (Figura 3.8).

Pentru o operatie de citire, dupa depunerea adresei, activarea semnalelor *MREQ negat* si *RD negat*, face ca dispozitivul *master* sa activeze semnalul *MSYN* (*Master Synchronization*). Dupa detectarea acestui semnal, dispozitivul *slave* depune data, si apoi activeaza semnalul *SSYN* (*Slave Synchronization*).

Dispozitivul *master* detecteaza activarea semnalului *SSYN*, ceea ce indica faptul ca data este disponibila, memoreaza data, iar apoi dezactiveaza liniile de adrese, împreuna cu semnalele *MREQ negat*, *RD negat* si *MSYN negat*.

Dispozitivul *slave* detecteaza dezactivarea semnalului *MSYN negat*, indicând terminarea ciclului, dezactiveaza semnalul *SSYN negat* si invalideaza datele, ajungându-se în starea initiala, cu toate semnalele dezactivate, așteptându-se un nou ciclu.

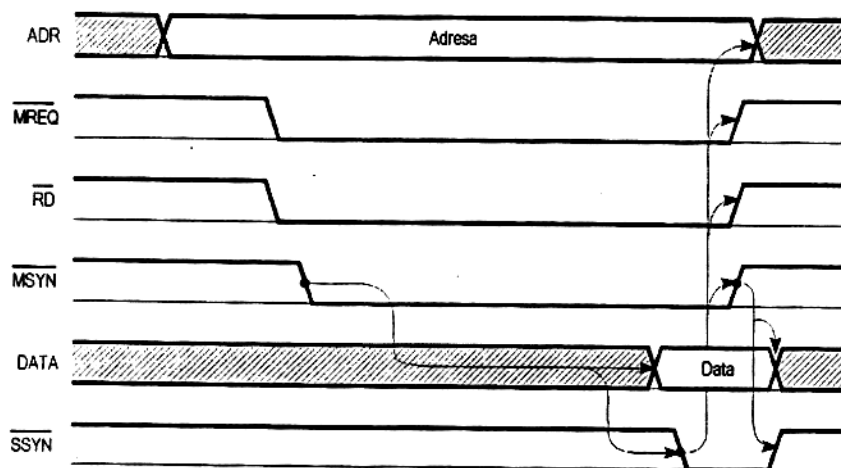


Figura 3.8. Operație de citire la o magistrală asincronă

Se utilizează deci un protocol cu intercondiționare totală (*full handshake*). Fiecare acțiune este condiționată de o acțiune anterioară, și nu de un impuls de ceas. Aceste acțiuni sunt următoarele:

1. Este activat *MSYN*.
2. Este activat *SSYN* ca răspuns la activarea *MSYN*
3. *MSYN* este dezactivat ca răspuns la activarea *SSYN*.
4. *SSYN* este dezactivat ca răspuns la dezactivarea *MSYN*.

Deși magistralele asincrone au avantajele amintite, cele mai multe magistrale sunt sincrone. Motivul este că o magistrală sincronă necesită mai puține linii și realizarea acesteia este mai simplă. UCP activează semnalele de comandă corespunzătoare, iar memoria sau perifericul va răspunde. Trebuie însă respectate condițiile de temporizare.

Costul magistrelor asincrone este mai ridicat, ceea ce influențează alegerea lor. *Apple* a renunțat la utilizarea magistralei VME (asincronă) pentru calculatoarele *Macintosh*, chiar dacă această magistrală a fost special proiectată pentru a fi compatibilă cu familia de procesoare *Motorola 68000*.

3.1.3. Arbitrajul de magistrală

La majoritatea sistemelor, există mai multe module care pot prelua controlul asupra magistralei (care pot deveni module *master*). Trebuie să existe deci un mecanism de arbitraj prin care să se determine modulul care va deveni *master*, dacă apar mai multe cereri simultane de magistrală. Modulul *master* va putea apoi iniția un transfer cu un alt modul, care va avea rolul de *slave* pentru transfer.

Metodele de arbitraj pot fi clasificate ca fiind *centralizate* sau *descentralizate (distribuite)*. În cazul arbitrării centralizate, alocarea magistralei este realizată de un dispozitiv hardware numit arbitru de magistrală. Acest dispozitiv poate fi un modul separat sau poate face parte din UCP. În cazul arbitrării descentralizate, nu există un arbitru de magistrală. Fiecare modul conține o logică pentru controlul accesului la magistrală.

3.1.3.1. Arbitrarea centralizată

În Figura 3.9 se prezintă un exemplu simplu de arbitraj centralizat.

Există o singură linie de cerere a magistralei, de tip SAU *cablat*, care poate fi activată de unul sau mai multe dispozitive în orice moment. Arbitrul nu poate distinge dacă există mai multe cereri simultane sau o singură cerere, ci numai dacă există sau nu cereri la un moment dat.

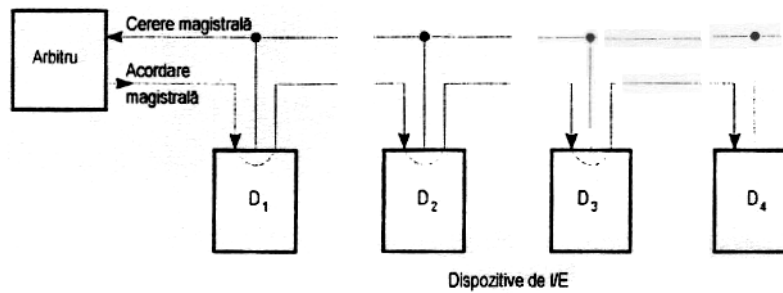


Figura 3.9. Exemplu de arbitrare centralizată

Dacă linia de cerere este activată, arbtrul activează linia de acordare a magistralei, la care sunt conectate în serie toate dispozitivele. Dispozitivul cel mai apropiat fizic de arbtru detectează semnalul de pe această linie, și în cazul în care a efectuat o cerere, preia controlul asupra magistralei, fără să propage semnalul de activare pe linie. Dacă nu a efectuat o cerere, transmite semnalul următorului dispozitiv, care procedează la fel, până când un dispozitiv preia controlul asupra magistralei.

În această schemă de tip *daisy chain*, prioritatea dispozitivelor este dată de distanța la care se afla față de arbtru. Dispozitivul cel mai apropiat de arbtru are prioritatea maximă. Pentru a modifica aceste priorități implicite, magistralele pot avea mai multe nivele de prioritate. Pentru fiecare prioritate există o linie de cerere și una de acordare a magistralei. Un exemplu cu două nivele de prioritate este prezentat în Figura 3.10.

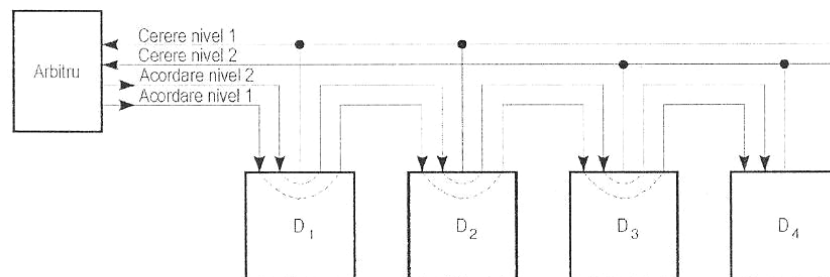


Figura 3.10. Arbitrare centralizată cu două nivele de prioritate

Fiecare dispozitiv se conectează la una din liniile de cerere, după prioritatea dispozitivului. În exemplul anterior, *D1* și *D2* utilizează nivelul 1, iar *D3* și *D4* utilizează nivelul 2.

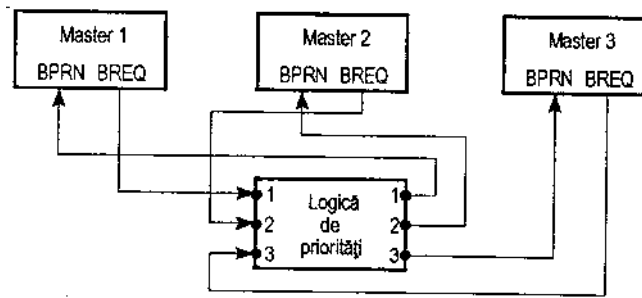
Dacă există cereri simultane, arbtrul emite semnalul de acordare a magistralei numai pe linia cea mai prioritară. Între dispozitivele conectate la aceeași linie, prioritatea se stabilește prin înaltăuire. În exemplul prezentat, dacă nivelul 2 este mai prioritar, ordinea dispozitivelor din punct de vedere al priorității este *D3*, *D4*, *D1*, *D2*.

Nu este necesar să se cableză linia de acordare a cererii de nivel 2 serial prin dispozitivele *D1* și *D2* deoarece acestea utilizează nivelul 1 pentru cererea de magistrală. Este însă mai ușor să se cableză toate liniile de acordare a magistralei prin toate dispozitivele, decât să se efectueze conexiuni speciale în funcție de prioritatea fiecărui dispozitiv.

Unele circuite de arbitrare au o linie suplimentară de achitare, care este activată de un dispozitiv atunci când a preluat controlul asupra magistralei în urma unui semnal de acordare a magistralei. Immediat după activarea acestei linii, semnalele de cerere și de acordare pot fi dezactivate. În consecință, în timpul utilizării magistralei, alte dispozitive pot solicita magistrală. La terminarea transferului curent, va fi deja selectat următorul dispozitiv *master*, care poate începe transferul imediat după dezactivarea semnalului de achitare. Calculatoarele PDP-11 și microprocesoarele *Motorola* 680x0 utilizează un asemenea sistem.

Un exemplu de arbitrare centralizată care va fi prezentată în continuare este cel al magistralei Multibus. Această magistrală a fost elaborată de firma *Intel* pentru diferite configurații de sisteme bazate pe microprocesoare, atât uniprocessor, cât și multiprocessor. Magistrala Multibus a fost standardizată de IEEE (standardul IEEE 796).

Magistrala permite existența până la 16 module *master* și permite două tipuri de arbitrare, centralizată și descentralizată. În Figura 3.11 se prezintă arbitrare centralizată.



Fiecare modul *master* are o linie de cecere a magistralei (*BREQ*) si una de acordare a magistralei (*BPRN*), conectate la un modul central cu o logica de prioritati. Un modul solicita magistrala printr-o cerere transmisa a logicii de arbitraj. Aceasta logica selecteaza urmatorul modul *master* caruia i se acorda magistrala si activeaza semnalul *BPRN* corespunzator. În Figura 3.12 se prezinta diagrama de timp a unei secvente de operatii.

1. Modulul *Master 2* solicita magistrala. Arbitrul achita cererea prin activarea semnalului de pe linia *BPRN* a modulului *Master 2*.
2. Modulul *Master 1* solicita magistrala. Arbitrul stabileste ca *Master 1* are o prioritate mai mare decât *Master 2*, acorda magistrala modulului *Master 1* si simultan retrage prioritatea modulului *Master 2*. Modulul *Master 1* doreste în continuare controlul asupra magistralei, astfel încât mentine activ semnalul sau *BREQ*.
3. Modulul *Master 1* termina operatia pe magistrala si *Master 2* preia controlul asupra magistralei.

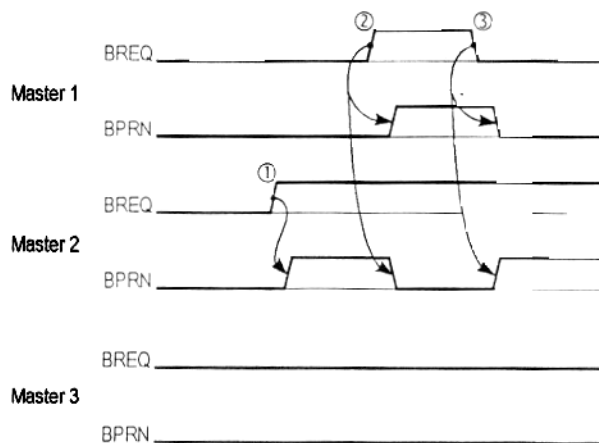


Figura 3.12. Diagrama de timp a arbitrării centralizate a magistralei Multibus

De mentionat ca magistrala Multibus permite si o metoda de arbitrare descentralizata.

3.1.3.2. Arbitrarea descentralizata

În cazul arbitrării descentralizate nu exista arbitru de magistrala. Un exemplu de magistrala care utilizeaza aceasta metoda de arbitrare este magistrala SBI (*Synchronous Backplane Interconnect*), dezvoltata de tirma DEC pentru calculatoarele VAX-11/780. Modulele de I/E nu se conecteaza direct la magistrala SBI, care este optimizata pentru operatiile de citire/scriere a memoriei. Modulele de I/E sunt conectate la o magistrala Unibus sau MA558U5, care sunt conectate la magistrala SBI prin adaptoare. Magistrala Unibus este utilizata în principal pentru dispozitive de viteza mica si medie, ca terminale, imprimante si linii de comunicatie. Magistrala MA558U5 este destinata pentru memorii externe, ca discuri si benzi magnetice.

Fiecare modul conectat la magistrala SBI (UCP, memorie, adaptor Unibus) are o prioritate unica si o linie unica de cerere de transfer (*TR - Transfer Request*). Exista 16 asemenea linii (*TR0, ..., TR15*), deci la magistrala pot fi conectate maxim 16 dispozitive.

Dacă un dispozitiv solicită magistrala, activează linia sa de cerere TR . La sfârșitul ciclului de magistrala toate dispozitivele cu cereri active testează liniile TR . Dispozitivul cu prioritatea maximă va putea utiliza

magistrala în următorul ciclu. Celelalte dispozitive vor menține active cererile lor pentru a obține un ciclu următor de magistrală.

Anumite transferuri necesită mai multe cicluri consecutive. Un dispozitiv care necesită cicluri suplimentare activează semnalul de pe linia *TR0* la începutul primului ciclu de transfer. Acest semnal, cu prioritatea maximă dintre semnalele *TR*, nu este asignat nici unui dispozitiv, ci poate fi utilizat pentru pastrarea controlului asupra magistralei.

Dispozitivul cu prioritatea minimă (16) poate efectua transferuri în oricare ciclu care nu este rezervat de celelalte dispozitive. La începutul fiecărui ciclu, dacă nici una din liniile *TR* nu este activă, poate efectua transferuri numai dispozitivul cu prioritatea 16. Astfel, timpul de așteptare mediu este minim pentru acest dispozitiv. Din acest motiv, UCP are de obicei prioritatea minimă în cazul unei magistrale SBI.

Figura 3.13 ilustrează metoda de arbitraj SBI sub forma simplificată. Fiecare dispozitiv are ca intrări un semnal de ceas pentru sincronizare și toate liniile *TR* de prioritate mai mare (inclusiv *TR0*). Fiecare dispozitiv poate activa propria sa linie *TR* și linia *TRO*.

Un exemplu pentru o secvență de operații este prezentat în Figura 3.14.

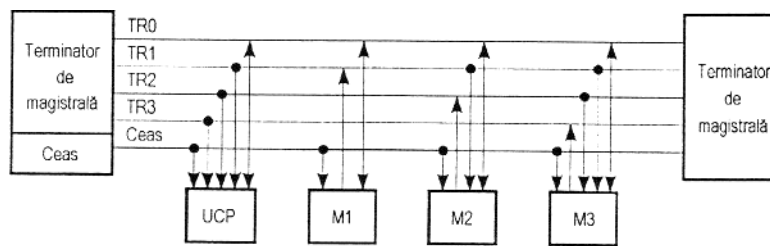


Figura 3.13. Schema arbitrajului descentralizat a magistralei SBI

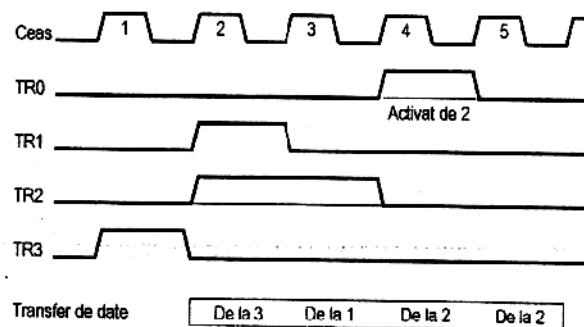


Figura 3.14. Diagrama de timp a arbitrajului descentralizat a magistralei SBI

Modulul 3 solicită magistrala în ciclul 1, iar modulele 1 și 2 solicită magistrala în ciclul 2. La sfârșitul ciclului 1, modulul 3 nu detectează semnale *TR* de prioritate mai mare, astfel că dezactivează *TR3* și transmite datele în timpul ciclului 2. La sfârșitul ciclului 2, modulul 2 este întârziat de modulul 1. Modulul 1 transmite datele în ciclul 3, iar modulul 2 în ciclurile 4 și 5. Modulul utilizează linia *TRO* pentru a menține controlul asupra magistralei pentru un transfer care necesită două cicluri.

Există o limită superioară a dispozitivelor conectate la magistrala SBI, egală cu numărul liniilor *TR*. Deoarece controlerul nu se conectează direct la magistrala SBI, aceasta nu este o limitare serioasă a magistralei SBI.

Un alt tip de arbitraj descentralizat se utilizează în cazul magistralei Multibus a firmei *Intel* (Figura 3.15).

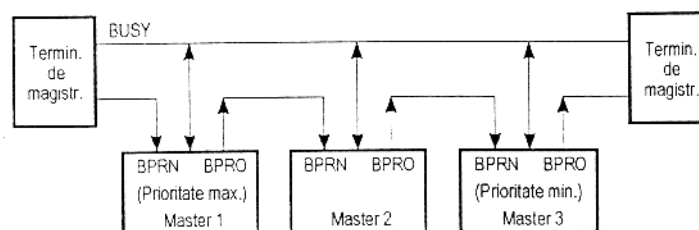


Figura 3.15. Schema arbitrajului descentralizat a magistralei Multibus

Modulele *master* sunt conectate în lant, în ordinea descrescătoare a priorității. Pentru arbitraj se utilizează o linie conectată la intrarea *BPRN* (*Bus Priority In*) și la ieșirea *BPRO* (*Bus Priority Out*) a fiecărui modul. Primul modul din lant primește un semnal *BPRN* activ în permanentă (1 logic), deoarece nu există un modul de prioritate mai mare care să solicite magistrala.

Dacă nici un modul nu solicită magistrala, semnalul cu valoarea 1 logic de pe linia de arbitraj se propagă prin toate modulele. Pentru a prelua magistrala, la începutul unui ciclu de ceas modulul testează dacă magistrala este liberă și dacă semnalul de pe intrarea sa *BPRN* este activat. Dacă acest semnal este activat, modulul dezactivează semnalul de pe ieșirea sa *BPRO*, ceea ce va determina dezactivarea semnalelor de pe intrările *BPRN* și ieșirile *BPRO* ale modulelor următoare. La sfârșitul propagării semnalelor prin lant, un singur modul va avea intrarea *BPRN* activată și ieșirea *BPRO* dezactivată. Acest modul poate deveni *master* la începutul unui ciclu de ceas, dacă magistrala nu este ocupată (semnalul *BUSY* nu este activ). Controlul asupra magistralei poate fi păstrat prin continuarea activării semnalului *BUSY*.

În Figura 3.16 se exemplifică această schemă de arbitraj.

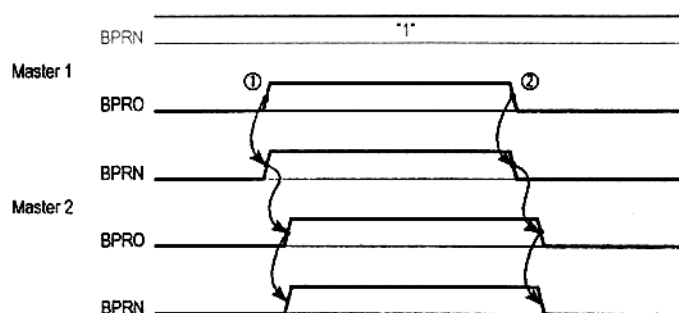


Figura 3.16. Diagrama de timp a arbitrajului descentralizat a magistralei Multibus

În punctul 1, modulul *Master 1* cedează magistrala și activează ieșirea *BPRO*. Semnalul de la această ieșire se propagă prin celelalte module. În punctul 2, modulul *Master 1* solicită din nou magistrala prin dezactivarea semnalului de la ieșirea *BPRO*.

Prioritatea dispozitivelor descrește de la stânga la dreapta. Această metodă este similară cu arbitrajul centralizat *daisy chain*, dar fără utilizarea unui arbitru, astfel încât are un cost mai redus și este mai rapidă.

Principalul avantaj al metodei de arbitraj descentralizat este simplitatea. Sunt necesare doar două linii de control, și numărul de linii este independent de numărul de dispozitive. Se pot adăuga noi dispozitive prin simpla conectare a lor la magistrala sistem.

Dezavantajul constă în posibilitatea funcționării eronate. O eroare în logica de arbitraj a unui modul *master* poate împiedica dispozitivele de prioritate mai mică să preia controlul asupra magistralei, sau poate permite ca mai multe dispozitive să devină *master*. În plus, prioritatea dispozitivelor este fixă și nu se poate modifica.

O observație legată de arbitrajul de magistrală se referă la *operațiile cu cicluri multiple*. În cazul sistemelor multiprocesor, se utilizează în mod obișnuit un cuvânt de memorie pentru a proteja datele partajate. Dacă acest cuvânt este 0, un procesor îl poate seta la 1 și poate utiliza data partajată. Dacă este deja 1, procesorul trebuie să aștepte până când procesorul care utilizează data în acel moment termină operația și setează cuvântul din nou la 0.

Pot apărea situații în care două procesoare consideră simultan că au acces exclusiv la o dată partajată, de exemplu în secvența următoare:

1. Procesorul A citește cuvântul *x*, care este zero (ciclul 0).
2. Procesorul B citește cuvântul *x*, care este zero (ciclul 1).
3. Procesorul A scrie 1 în cuvântul *x* (ciclul 2).
4. Procesorul B scrie 1 în cuvântul *x* (ciclul 3).

Pentru a se preveni o asemenea situație, anumite procesoare au o instrucțiune care citește un cuvânt de memorie, și dacă este 0, îl setează la 1 ("*Test and Set*"). Problema constă în faptul că o asemenea instrucțiune necesită două cicluri de magistrală, unul pentru citire și unul pentru scriere. Există posibilitatea ca un alt procesor să își intercaleze operațiile între cele două cicluri.

Soluția la această problemă este de a se adăuga o linie suplimentară la magistrală, de exemplu *LOCK*, care poate fi activată înaintea unei instrucțiuni "*Test and Set*". Cât timp această linie este activată, nici un alt procesor nu poate prelua magistrala. Aceasta permite primului procesor să execute cicluri multiple de magistrală fără intervenția altor procesoare.

3.1.4. Parcarearea magistralelor

Anumite dispozitive master ale unui sistem de I/E, ca unitatile centrale, sunt active în marea majoritate a timpului, în timp ce altele sunt active în mod sporadic. Un dispozitiv din prima categorie poate pastra controlul asupra magistralei chiar după terminarea transferului curent, deoarece este probabil ca va utiliza magistrala și în continuare. Procedura prin care magistrala nu este eliberată automat după terminarea transferului curent, ci numai în cazul în care există o cerere de magistrală, se numește *parcarearea magistralei*.

Prin utilizarea acestei metode nu este necesară executarea operațiilor de eliberare a magistralei și de arbitraj pentru fiecare transfer. De exemplu, la începutul execuției unui nou proces, UCP va încărca noi date în memoria *cache*. Executarea arbitrajului de magistrală pentru fiecare ciclu de transfer este dezavantajoasă.

Parcarearea poate fi un mod operațional al magistralei, sau poate fi un mod opțional. Atunci când parcarearea este un mod operațional, un ciclu de arbitraj începe printr-o cerere adresată dispozitivului master de a elibera magistrala.

3.1.5. Exemple de magistrale

Magistrala	Firma/Org.	Standard	Linii de adresă	Linii de date	Sinc./asinc.	Rata max. (MB/s)
Unibus	DEC ¹	-	18	16	a	n.a.
SBI ²	DEC	-	22	32	s	4.7
Fastbus	NIM ³ , ESONE ⁴	IEEE ⁵ 960	32	32	a	165
VMEbus ⁶	Motorola	IEEE P1014	16,32	16,32	a	40
Nubus	Texas Instr.	IEEE P1196	32	32	s	37.5
Multibus II	Intel	IEEE P1296	16,32	16,32	s	40
Micro Channel	IBM	-	16,24,32	8,16,32	a	20,40
EISA ⁷	Compaq, Intel	-	16,24	8,16,32	s	33
S-bus	Sun Microsys.	-	32	16,32	s	57
Futurebus+	MSC ⁸	IEEE P896.1	32,64	32,64, 128,256	a	400 (32 b) 3200 (256 b)

Magistrala	Firma/Org.	Standard	Linii de adresă	Linii de date	Sinc./asinc.	Rata max. (MB/s)
SCSI-1 ⁹	ANSI ¹⁰	ANSI X3.131-86	32	8,16,32	a,s	5, 10, 20
SCSI-2	ANSI	ANSI X3.131-94	32	8,16,32	a,s	10, 20, 40
VL Bus ¹¹	VESA ¹²	-	32,64	32,64	s	276
PCI ¹³	Intel	-	32,64	32,64	s	528
P6	Intel	-	64	64	s	500
Fire Wire ¹⁴	Apple	IEEE 1394	-	-	a	100, 200, 400 Mbit/s
USB ^{14, 15}	Compaq, IBM	-	-	-	a	12 Mbit/s

Observatii:

1 Digital Equipment Corporation

2 Synchronous Backplane Interconnect

3 National Instrumentation Methods. din US Department of Energy

4 European Standards Organization for Nuclear Energy

5 Institute of Electrical and Electronics Engineers

6 Versa Module Eurocard

7 Extended Industry Standard Architecture

8 Microprocessor Standards Commillee a IEEE Computer Society

9 Small Computer Systems Interface

10 American National Standards Institute

11 VESA Local Bus

12 Video Electronics Standards Association

13 Peripheral Component Interconnect

14 Fire Wire și USB sunt magistrale seriale.

15. Universal Serial Bus