

## 5.3. Microprocesoare RISC

Exista o serie de caracteristici care diferentiaza net microprocesoarele RISC (*Reduced Instruction Set Computing*) de microprocesoarele prezentate anterior, de tip CISC (*Complex Instructions Set Computing*). Dintre acestea, se pot aminti:

- cresterea frecventei de lucru;
- arhitectura supescalară cu 4-6 canale => 4-6 instructiuni;
- cresterea paralelismului de executie sirnultana a instructiunilor prin pipe-line relativ lungi;
- irnplernentarea pe sisteme de caLcuL rnultiprocesor;
- set redus de instructiuni;
- marirea numarului de registre interne;
- anticiparea instructiunilor de salt;
- instructiunile care se executa simultan este de preferat sa nu utilizeze resurse comune, pentru evitarea starilor de hazard;
- capacitatea mare a magistralelor - 64 biti;
- dirnensiunea sporita a rneroriei cache (16-64 K sau mai mult);
- instructiuni de lungime fixa, care nu opereaza de regula cu date direct din/in rnerorie.

### 5.3.1. Microprocesoarele P 7100

Microprocesoarele PA 7100 sunt produse de firma Hewlett Packard, incluzând variantele RISC 7100, respectiv 7100 LC. Arhitectura de baza este utllizata actual pe statiile de lucru HP, având în componenta (fig. 5.37):

- doua unitati de executie pentru operatii cu numere întregi organizate "pipe-line", derularea executiei instructiunilor efectuându-se în cinci faze; fiecare unitate are 32 de registre a câte 64 de biti.
- unitatea de virgula mobila, cu 32 de registre de 64 de biti;
- unitatea de anticipare a salturilor;
- unitatea de gestiune a memoriei; permite accesarea a 4 M - 2 G de RAM; ,
- interfata cu memoria RAM statica externa, care poate adresa cache-ul L2 de 8K-2M;
- un modul de detectare a informatiei existente în memoria cache.

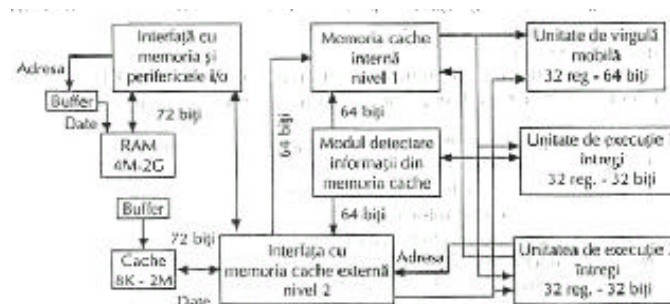


Fig. 5.37. Microprocesorul PA 7100 LC

Spre deosebire de 7100, varianta 7100 LC dispune de o memorie cache de nivel 1 internă mică (1 KB) care asigură o grupare a instructiunilor care se execută astfel mult mai rapid decât transferul de memorie.

Microprocesorul RISC 7100 LC a fost prevăzut și cu memorie cache de nivel 2 externă, în scopul sincronizării cu frecvența ceasului microprocesorului.

Microprocesorul este optim pentru Unix, dar permite și emularea de PC. Ultimele versiuni includ instructiuni pentru funcții de accelerare a graficii și a imaginilor video.

### 5.3.2. Microprocesoarele MIPS

MIPS Technology este o filială a societății Silicon Graphics. Microprocesoarele MIPS sunt utilizate, în special,

în stațiile de lucru și PC-uri dar și în calculatoarele performante. Primul microprocesor MIPS, denumit R2000, a fost lansat pe piață în anul 1985 și s-a bazat pe munca de cercetare a unui colectiv de cercetători de la Universitatea Stanford. Acesta a fost unul dintre primele procesoare RISC comercializate. Următorul procesor din această serie, MIPS R3000, apărut în 1988, a fost primul procesor MIPS ce s-a bucurat de o largă răspândire. Caracteristica sa de bază a fost simplitatea. Forța microprocesorului a stat în relația arhitectură-compilator. Denumirea MIPS, care provine de la *Microprocessor without Interlocked Pipeline Stages*, simboliza faptul că banda de asamblare a procesorului evita blocajele datorate dependențelor dintre instrucțiuni printr-o colaborare între arhitectura și un compilator avansat, care, cunoscând detaliile hardware, va planifica instrucțiunile astfel încât să fie evitate blocajele.

În 1991 apare MIPS R6000, a cărui prima versiune lucra la frecvența de 66 MHz. Arhitectura acestuia se baza în mare măsură pe R3000, dar s-au adus și unele îmbunătățiri. S-a introdus o memorie cache secundară externă, un identificator al procesului în memoria cache primară și secundară și un mecanism de predicție a salturilor. Pentru fabricarea acestui microprocesor s-a utilizat tehnologia ECL.

Un an mai târziu, în 1992, apare MIPS R4000. Acesta este primul microprocesor cu o arhitectură pe 64 de biți, dar care păstrează compatibilitatea cu variantele mai vechi pe 32 de biți. Frecvența de lucru de 100 MHz a fost considerată foarte mare la timpul respectiv și a fost obținută datorită utilizării unei tehnologii super-pipeline.

Variantei inițiale R4000 i-au urmat la scurt timp variantele R4200 și R4400 (varianta R4400 atinge frecvența de 150 MHz); arhitectura standard este redată în fig. 5.38..

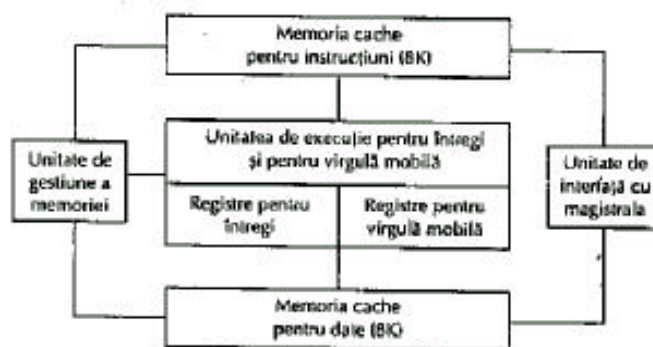


Fig. 5.38. Arhitectura standard MIPS 4000

Memoria cache este divizată în cache pentru instrucțiuni cu o capacitate de 8 K și cache de date cu aceeași capacitate (8 K). Pentru protejarea microprocesorului de solicitări ale datelor din cache, se utilizează un modul sub forma unui buffer cu 32 de intrări, care determină necesitatea a doar trei cicluri de ceas pentru aducerea datelor în cache. Memoria cache și buffer-ul de detectare a datelor din cache pot fi configurate dinamic, această modularitate permițând integrarea unei interfețe de control periferic.

Execuția instrucțiunilor se desfășoară sub forma pipeline-urilor în cinci faze, ca la microprocesoarele Pentium; pentru prevenirea blocajelor. R4400 are arhitectura pipeline organizată pe opt niveluri.

Microprocesorul R4200 dispune de un buffer de aducere anticipată a instrucțiunilor în memoria cache pentru instrucțiuni, ceea ce permite încărcarea pe pipeline a două instrucțiuni consecutive după fiecare acces. Deși după instrucțiunile de salt este necesar un alt acces la memoria cache pentru instrucțiuni, viteza de lucru este dublată de reducerea spațiului pe cip și de un consum redus.

Utilizarea acestor microprocesoare s-a dovedit deosebit de eficientă la comanda și controlul proceselor industriale, unde viteza de prelucrare are un rol important, data fiind posibilitatea de transfer prin interfața sistemului a 160 Mb/s și pentru PC-urile portabile (*Laptop-uri*) ce lucrează sub sistemul de operare Windows NT.

În anul 1994, este produs MIPS R8000, un procesor performant destinat în special calculului științific, serverelor de baze de date, dar și sistemelor multiprocesor. Este primul procesor superscalar din seria MIPS. Acesta poate lansa în execuție până la patru instrucțiuni/ciclu și are în componență două unități de lucru cu numere întregi, două pentru virgula mobilă și două unități de scriere/citire. Frecvența inițială a primului procesor R8000 a fost 75 MHz.

MIPS R10000 anunțat pentru prima dată la sfârșitul anului 1995 și fabricat în 1996, a înlocuit R8000 pe piața stațiilor de lucru destinate calculului științific. Performanțele SPEC95 ale acestui procesor sunt 10,7 și 17,1 pentru operații cu numere întregi, respectiv în virgula mobilă. Frecvența de lucru a primei versiuni a fost 200 MHz.

Arhitectura simplificată (fig. 5.39) include:

- cinci canale;

- 64 de registre interne de 64 de biti, atât pentru unitatea de întregi, cât și pentru unitatea de virgula mobilă;
- cache de date și cache de cod de 32 K fiecare, incluzând TLB ce admite 64 de intrări;
- cache L2 de 512 K upgradabil la 16M.

Ultima versiune a procesoarelor MIPS este R10000, care preia arhitectura lui R 10000 cu unele îmbunătățiri punctuale pentru a crește performanțele.

Setul de instrucțiuni al procesoarelor MIPS a evoluat foarte mult. În prezent s-a ajuns la versiunea MIPS V, fiecare versiune reprezentând un superset al versiunii precedente.

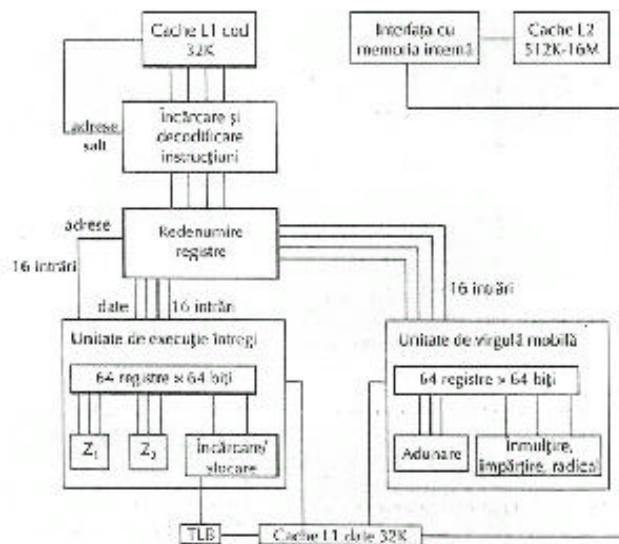


Fig. 5.39. Microprocesoare MIPS R10000

Setul de instrucțiuni de bază cuprinde cinci mari clase de instrucțiuni:

- instrucțiuni de citire/scriere -load/store;
- instrucțiuni logice și aritmetice;
- instrucțiuni de salt și salt condiționat;
- instrucțiuni pentru coprocesor: MIPS definește patru tipuri de coprocesoare: CP0, ..., CP3. CP0 are sarcina de a gestiona sistemul memoriei virtuale, de tratare a excepțiilor și a tranzacțiilor între modul supervisor și modul user. CP1 desemnează unitatea de calcul în virgula mobilă, iar CP2 și CP3 sunt rezervate implementărilor viitoare;
- instrucțiuni speciale.

Versiunea MIPS V, introdusă în 1996, urmează tendința generală a tuturor producătorilor de procesoare de a introduce instrucțiuni speciale destinate accelerării operațiilor în virgula mobilă, cerute în special în grafica 3D și în calculul științific. S-a definit astfel un nou tip de operand *paired-single*, ce permite memorarea a doi operanzi în virgula mobilă simplă precizie într-un registru dubla precizie. Pentru calcul cu numere întregi a fost definită, de asemenea, o extensie denumită MDMX care permite accelerarea calculelor în aplicații multimedia și care operează pe principiul SIMD.

În continuare vom prezenta mai în detaliu procesorul R10000. MIPS R10000 este un procesor RISC superscalar cu instrucțiuni de tip registru la registru, singurele instrucțiuni ce pot accesa memoria fiind *load* și *store*. Un număr de patru instrucțiuni pot fi planificate pentru execuție în fiecare ciclu. Instrucțiunile procesorului R10000 au acces la 32 registre generale de 64 biți și 32 registre în virgula mobilă de 64 biți. Acestea din urmă pot fi văzute și ca registre simplă precizie pe 32 biți. De asemenea, mai există 32 registre de control și de stare. Tipurile de date recunoscute sunt numerele întregi de 8, 16, 32 sau 64 biți, precum și numerele în virgula mobilă simplă și dubla precizie. Instrucțiunile *load/store* presupun ca datele sunt aliniate în memorie. Există și posibilitatea accesării datelor nealiniate, dar cu prețul execuției a două instrucțiuni.

Arhitectura generală a procesorului MIPS R 10000 este prezentată în figura 5.40. Se poate observa că există 5 unități funcționale și o memorie cache de nivel 1 separată pentru date și instrucțiuni (câte 32 K fiecare). Cele cinci unități funcționale ale procesorului sunt:

- ALU1 și ALU2 - unități aritmetice pentru numere întregi;
- o unitate de calcul a adreselor destinată instrucțiunilor *load/store*;
- o unitate de adunare în virgula mobilă;
- o unitate de înmulțire în virgula mobilă.

Unitatea de înmulțire în virgula mobilă poate efectua totodată și împărțiri și extragerea rădăcinii pătrate. Unitățile ALU 1 și ALU 2 nu sunt identice. În timp ce ALU 1 tratează, pe lângă operațiile aritmetico-logice simple, și instrucțiunile de salt, ALU 2 tratează operațiile de înmulțire și împărțire. În cursul executării unei înmulțiri, ALU 2 poate trata în paralel și operații simple ce necesită doar un ciclu. La terminarea înmulțirii, ALU 2 va fi ocupată două cicluri pentru scrierea rezultatului în registrele destinație. În cazul tratării unei operații de împărțire, ALU 2 este ocupată până la terminarea operației.

Execuția instrucțiunilor este de tip *out-of-order*: o instrucțiune al cărei operand nu sunt disponibili nu poate bloca de la planificare instrucțiuni ulterioare, dar care sunt executabile. Procesorul MIPS R10000 utilizează o tehnică avansată de planificare a instrucțiunilor, utilizând trei stații de rezervare de grup: una pentru instrucțiuni *load/store*, *memory queue*, una pentru instrucțiuni cu numere întregi, *integer queue* și una pentru instrucțiuni în virgula mobilă, *FP queue*, fiecare cu câte 16 intrări.

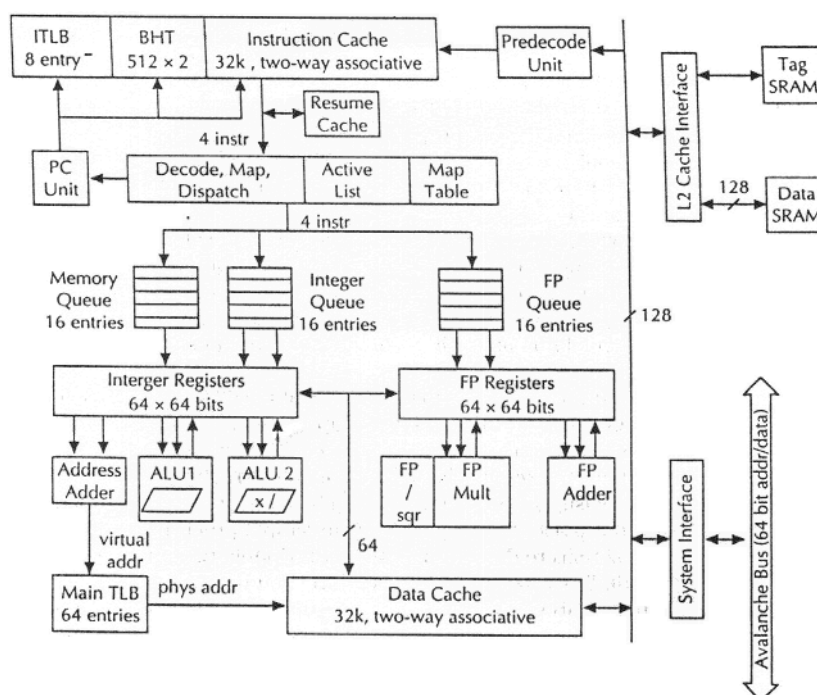


Fig. 5.40. Arhitectura microprocesorului MIPS R10000

Benzile de asamblare ale procesorului R10000 sunt prezentate în figura 5.41.

Se poate observa că toate benzile de asamblare utilizează 2 niveluri comune: extragere și decodificare.

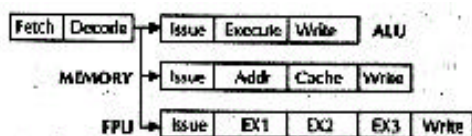


Figura 5.41. Benzile de asamblare ale procesorului MIPS R10000

La primul nivel are loc extragerea din memoria cache a instrucțiunilor (câte patru instrucțiuni/ciclu). La nivelul al doilea, cele patru instrucțiuni extrase sunt decodificate și tot aici are loc și redenumirea registrelor. După redenumire, instrucțiunile sunt trimise către stațiile de rezervare corespunzătoare. Instrucțiunile fiind acum plasate în stațiile de rezervare, de la nivelul al treilea al benzii de asamblare se poate începe execuția propriu-zisă. Sarcina celui de al treilea nivel din banda de asamblare este aceea de a verifica disponibilitatea operandilor instrucțiunilor din stațiile de rezervare și de a trimite către unitățile funcționale acele instrucțiuni care au operandii disponibili. Tot aici are loc și verificarea predicției efectuate asupra unei instrucțiuni de salt în caz că operandul acestei instrucțiuni este disponibil. În următoarele niveluri are loc execuția instrucțiunilor de către unitățile funcționale corespunzătoare. Fiecare tip de instrucțiune necesită un număr diferit de niveluri pentru execuție, după cum se poate observa și în figura 2.41. Ultimul nivel este același pentru toate benzile de asamblare - scrierea rezultatului în registrul destinație.

Dependentele false dintre instructiuni sunt rezolvate prin metoda redenumirii registrelor. Desi utilizatorii au la dispozitie 32 de registre pentru numere întregi si tot atâtea pentru numere în virgula mobila, procesorul are în realitate 64 registre fizice pentru numere întregi si 64 registre fizice pentru numere în virgula mobila. Corespondenta între registrele arhitecturale si cele fizice este urmarita cu ajutorul unui tabel de mapare - *Mapping Table*. Totodata, mai exista înca un tabel denumit *Free List* care mentine o lista cu toate registrele fizice libere, disponibile pentru redenumire

MIPS R10000 are doua niveluri de memorie cache. Memoria cache primara este partajata în cache de date (32 KB) si cache pentru instructiuni (32 KB) si este integrata pe cipul procesorului. Memoria cache de nivel 2 este unificata si poate avea o capacitate cuprinsa între 512 KB si 16 MB. Memoriile cache sunt organizate asociativ pe doua cai si utilizeaza o politica de înlocuire de tip LRU. La încarcarea instructiunilor în memoria cache de nivel 1 se adauga câte 4 biti de predecodificare, deci pe lângă 32 KB destinati instructiunilor propriu-zise mai sunt necesari 4 K pentru biti de predecodificare. O linie din cache memoreaza 16 instructiuni de 36 biti. Pentru fiecare linie exista câte un bit care ajuta la mentinerea coerentei cu memoria. Memoria cache de nivel 1 pentru date, cât si cea de nivel 2 utilizeaza o politica de scriere de tip *write-back*.

### 5.3.3. Microprocesoarele SPARC

Microprocesoarele SPARC (*Scalable Processor Architecture*) au aparut ca rezultat al cercetarilor efectuate între anii 1984 si 1987 la Universitatea Berkeley si implementeaza conceptul de arhitectura RISC de tip *load/store*.

Cel dintâi procesor superscalar din seria SPARC a fost SuperSparc, care a aparut în anul 1991 si a fost utilizat la echiparea statiilor de lucru SUN. Primele versiuni livrate au lucrat la frecventa de 33 MHz, ajungându-se în anul 1993 la 66 MHz. Procesorul SuperSparc avea doua unitati ALU pentru numere întregi, o unitate de lucru în virgula mobila, o unitate de gestiune a memoriei si o memorie cache pe doua niveluri. În anul 1994, a urmat a doua versiune SuperSparc II, realizat într-o tehnologie BICMOS de 0,6 µm si care lucra la frecventele de 75 ... 90 MHz.

În anul 1995 apare UltraSparc, care este primul procesor din seria Sparc cu o arhitectura pe 64 biti, dar care pastreaza compatibilitatea cu versiunile anterioare de 32 biti. Initial frecventa de lucru a fost de 167 MHz, ajungându-se doi ani mai târziu la 200 MHz. De asemenea, trebuie sa remarcam ca UltraSparc a fost primul procesor care a implementat setul de instructiuni SPARC V9. UltraSparc a fost urmat, în anul 1996, de UltraSparc II, fabricat în tehnologie CMOS de 0,29 µm si care a adus câteva îmbunatatiri în ceea ce priveste dimensiunea memoriei cache, interfata cu exteriorul si folosirea unor noi instructiuni de preîncarcare a datelor.

UltraSparc V9 este o colaborare Sun-Texas Instruments, disponibil din 1995. Noutati:

- adaugarea de noi instructiuni pentru accelerarea graficii si a prelucrărilor video (într-o instructiune sau un ciclu de ceas se pot prelucra pâna la 8 pixeli);
- arhitectura pe 64 de biti. având o implementare superscalara cu 4 canale;
- frecventa de lucru: 200 MHz.
- 1) Unitatea de decodificare anticipata, care poate transmite pâna la patru instructiuni pe ciclu, include:
  - *code cache* de 16 K cu doua cai de transfer. TLB are 64 de intrari;
  - *branch prediction*.
- 2) Unitatea de grafica si virgula mobila este alcatuita din trei unitati de executie pentru virgula mobila si doua unitati pentru grafica.
- 3) Cache pentru date de 16 K, include unitatea de memorare dinamica cuplata la:
  - buffer-ul de încarcare, constituit din 2 pipeline-uri pentru întregi pe 64 biti cu noua intrari;
  - buffer-ul de memorare care suporta opt intrari.

În continuare, ne vom concentra atentia asupra caracteristicilor de baza ale arhitecturii procesorului UltraSparc, procesor superscalar care poate lansa în executie patru instructiuni/ciclu. Setul de instructiuni utilizat în procesorul UltraSparc, SPARC V9, grupeaza instructiunile în urmatoarele mari clase:

- instructiuni de acces la memorie: singurele instructiuni care au acces la memorie sunt *load / store*. Exista câteva instructiuni *load/store* speciale;
- instructiuni de acces atomic la memorie;
- instructiuni de citire care nu provoaca exceptii;
- instructiuni de preîncarcare a datelor.
- instructiuni aritmetico-logice pentru lucrul cu numere întregi;
- instructiuni în virgula mobila;
- instructiuni de transfer al controlului;
- instructiuni de transfer conditionat: o valoare memorata într-un registru este copiată în alt registru în

- funcție de valoarea unui al treilea registru;
- instrucțiuni de acces la registrele de stare;
- instrucțiuni de gestiune a ferestrelor de registre.

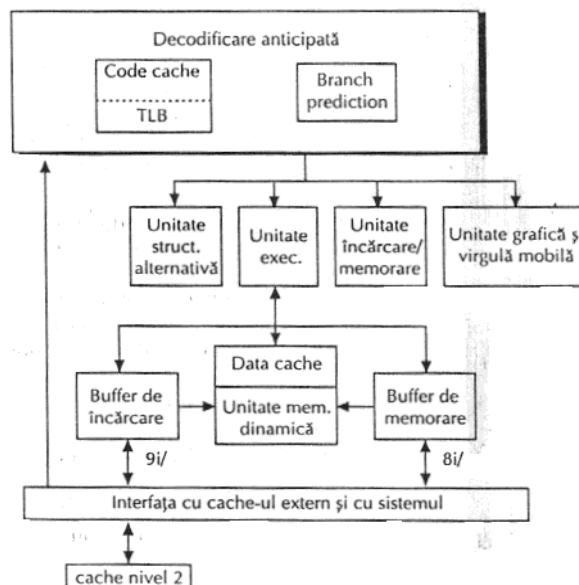


Figura 5.42. UltraSparc V9

Pe lângă instrucțiunile clasice, a fost definită și o extensie la setul de instrucțiuni, numită VIS - *Visual Instructions Set*, extensie implementată pentru prima dată la procesorul UltraSparc. Instrucțiunile VIS sunt destinate, în special, îmbunătățirii performanțelor grafice și de prelucrare a imaginilor. Se definesc noi tipuri de date pentru prelucrarea pixelilor, precum și instrucțiuni specifice de prelucrare a acestora (instrucțiuni ce folosesc principiul de operare SIMD).

UltraSparc are 32 de registre generale pe 64 de biti (opt pentru execuția normală, opt pentru rutinele de tratare a întreruperilor, opt folosite de unitatea de gestiune a memoriei și opt pentru tratarea excepțiilor), 32 de registre pentru numere în virgula mobilă pe 64 de biti, dar care pot fi privite și ca 16 registre pe 128 biti și registre de stare și control. Originalitatea arhitecturii acestui procesor provine din utilizarea ferestrelor de registre (opt ferestre a câte 24 de registre). La un moment dat o instrucțiune poate accesa opt registre generale (R0 ... R7) și 24 de registre ale ferestrei curente-opt registre de intrare, opt de ieșire și opt registre locale. Ferestrele de registre permit apelul și întoarcerea din proceduri, fără a fi nevoie să se salveze date în memorie.

Arhitectura procesorului UltraSparc este prezentată în figura 5.43. După cum se poate observa, procesorul UltraSparc integrează pe același cip următoarele componente:

- unitate de preîncărcare a instrucțiunilor de predicție a salturilor și de planificare a instrucțiunilor (*Prefetch and Dispatch Unit*);
- o unitate de gestiune a memoriei cu 64 intrări pentru date și 64 intrări pentru instrucțiuni – MMU;
- două unități de lucru cu numere întregi – ALU;
- o unitate funcțională pentru instrucțiunile *load/store*;
- o memorie cache de nivel 1 divizată: 16 KB instrucțiuni și 16 KB pentru date;
- trei unități de lucru în virgula mobilă: una pentru adunare/scadere, una pentru înmulțiri și una pentru împărțiri și rădăcina patrată;
- două unități grafice;
- o unitate de interfață.

Unitatea de preîncărcare are rolul de a extrage instrucțiunile în avans față de execuția programului. În fiecare ciclu pot fi extrase patru instrucțiuni. Instrucțiunile extrase din memoria cache și decodificate sunt memorate într-o coadă de instrucțiuni cu 12 intrări, unde vor aștepta să fie trimise mai departe în banda de asamblare. Din această coadă de instrucțiuni se pot lansa câte patru instrucțiuni/ciclu, planificarea fiind de tip *in-order*.

Unitatea de gestiune a memoriei are rolul de a traduce adresele virtuale (pe 44 biti) în adrese fizice (pe 41 biti). Cele două TLB, pentru instrucțiuni și pentru date, au amândouă câte 64 de intrări și sunt total asociative.

Unitatea *load/store* va genera adresele virtuale pentru toate instrucțiunile *load* și *store* și va accesa memoria cache de date.



Unitatea de lucru cu numere întregi este compusa de fapt din doua ALU care nu au în componenta si un multiplicator si un divizor pentru numere întregi.

Unitatile de lucru în virgula mobila, în numar de trei, sunt organizate în banda de asamblare, mai putin cea pentru împartire si extragerea radacinii patrute. Acestea acceseaza un banc de 32 registre pe 64 biti care pot fi utilizate si ca 16 registre de 128 biti, iar la fiecare tact de ceas se pot executa maxim doua instructiuni în virgula mobila.

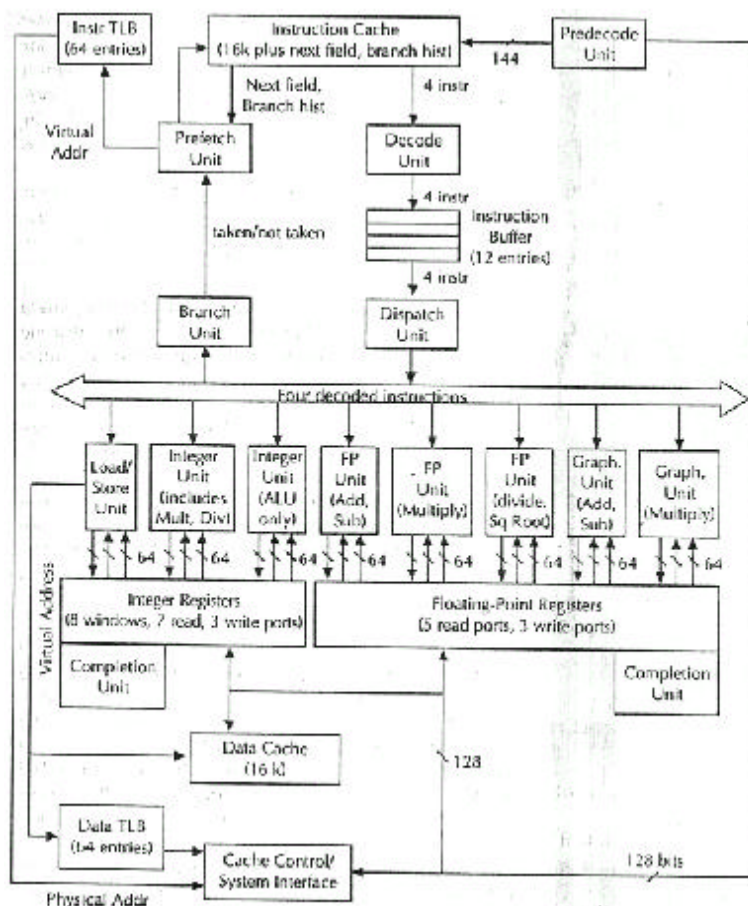


Figura 5.43. Arhitectura procesorului UltraSparc

Unitatea grafica trateaza toate instructiunile destinate special prelucrărilor grafice - VIS. Aceasta unitate, care foloseste acelasi banc de registre cu unitatea în virgula mobila, este compusa dintr-un sumator si un multiplicator.

Procesorul UltraSparc utilizeaza o banda de asamblare cu noua niveluri, banda care este prezentata în figura 5.44.

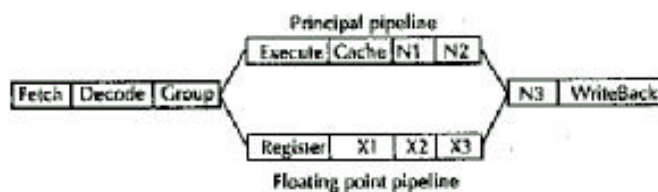


Figura 5.44. Banda de asamblare ale procesorului UltraSparc

Instructiunile cu numere întregi utilizeaza de fapt numai 6 niveluri din banda de asamblare, dar nivelul WriteBack, care are rolul de a scrie rezultatele în registrele destinatie, este întârziat cu trei niveluri, pentru a permite o gestiune precisa a întreruperilor. Functionarea benzii de asamblare este descrisa în continuare.

Nivelul Fetch extrage patru instructiuni/ciclu din memoria cache pentru instructiuni. Aceste instructiuni sunt decodificate la nivelul urmator, Decode, și plasate în coada de instructiuni ce are 12 intrari. Pe lânga

instrucțiunile propriu-zise, în această coadă mai sunt adăugați și biți de decodificare. La nivelul *Group* sunt citite din coadă câte patru instrucțiuni valide pe ciclu și sunt trimise spre execuție în ordine. Instrucțiunile sunt valide, dacă operandii lor sunt disponibili și unitățile funcționale respective sunt libere. Registrele pentru numere întregi sunt citite tot în acest nivel. Din acest moment, benzile de asamblare pentru întregi și pentru virgula mobilă se despart.

În banda de asamblare pentru întregi, la nivelul *Execute* are loc execuția majorității instrucțiunilor. Pentru instrucțiunile *load/store* aici are loc calcularea adresei virtuale. În continuare, se accesează memoria cache la nivelul *Cache* cu adresa fizică obținută din TLB. Pentru instrucțiunile aritmetico-logice registru-la-registru la nivelurile N1 și N2 nu se execută nimic, dar acestea au fost introduse pentru a se păstra sincronizarea celor două benzi de asamblare. Pentru instrucțiunile *load/store* segmentul N1 va verifica raturile în cache și va scrie adresele de unde vor trebui citite/scrise date într-un tampon de citire, respectiv scriere. După nivelul N2, când își termină execuția și majoritatea operațiilor în virgula mobilă, rezultatele instrucțiunilor pot fi direct utilizate printr-un mecanism de *bypass*.

Instrucțiunile în virgula mobilă accesează registre la nivelul *Register* și se execută în următoarele trei cicluri la nivelurile X1, X2, X3 (excepție fac împărțirile - 12 cicluri - și rădăcina pătrată - 22 de cicluri). Nivelul N3 este utilizat de procesor pentru detectarea condițiilor de excepție care pot apărea; spre exemplu, la o împărțire la zero. Rezultatele instrucțiunilor sunt scrise în registrele destinație în nivelul *Write-Back*.

UltraSparc dispune de un mecanism de planificare a instrucțiunilor mai simplu decât alte procesoare (cum ar fi DEC Alpha 21264, MIPS R10000 etc.), care lansează instrucțiunile în execuție în ordinea programului, maxim patru instrucțiuni pe ciclu. Memoria cache pentru instrucțiuni, care este organizată asociativ pe seturi cu două cai, stochează instrucțiunile care sunt precodificate. Din cache spre coadă de instrucțiuni pot pleca câte 4 instrucțiuni aliniate pe ciclu. În coadă de instrucțiuni, fiecare intrare are 62 de biți, biți suplimentari permitând să se detecteze rapid dependentele între date și resurse. În vederea planificării pentru execuție, instrucțiunile sunt clasificate pe tipuri: instrucțiuni *load/store*, instrucțiuni pentru întregi, instrucțiuni de control, instrucțiuni în virgula mobilă. La nivelul *Group* din banda de asamblare se formează grupuri de patru instrucțiuni gata pentru execuție conform unor reguli de selecție. Astfel, în acest grup pot fi cel mult două instrucțiuni pentru întregi și două pentru numere în virgula mobilă și o singură instrucțiune de tip *load/store*. De asemenea, instrucțiunile pentru întregi și cele *load/store* trebuie să fie între primele trei instrucțiuni din grup. Trebuie să menționăm că dependente de tipul WAW sau WAR nu pot apărea, deoarece instrucțiunile sunt executate în ordine.

Predictia salturilor la UltraSparc utilizează același mecanism cu doi biți de istorie ca și MIPS R10000. Tabela de predicție este însă integrată în memoria cache: la fiecare două instrucțiuni sunt adăugați doi biți de istorie a salturilor. Bitii de istorie sunt inițializați după un mecanism de predicție statică. Predictia adresei de salt este realizată de un mecanism denumit *Branch Following*. La fiecare patru instrucțiuni în cache este adăugat un câmp denumit *Next Field* de 13 biți. Acest câmp indică din ce poziție a cache-ului trebuie încărcate următoarele instrucțiuni.

Memoria cache de nivel 2 poate avea dimensiuni cuprinse între 512 KB și 4 MB; este de tip *direct-mapped* și utilizează o tehnică de scriere *write-back*. Linia de memorie cache are dimensiunea de 64 bytes. Fiecare intrare în cache conține 25 de biți de adresă fizică, trei biți de stare pentru protocolul de menținere a coerenței și 8 biți de paritate.

UltraSparc I a utilizat o tehnologie CMOS de 0,5  $\mu\text{m}$  cu patru straturi de metal și avea 52 milioane de tranzistori. UltraSparc II este realizat în tehnologie de 0,25  $\mu\text{m}$  iar UltraSparc III, folosește tehnologia de 0,18  $\mu\text{m}$ .

#### 5.3.4. Microprocesoarele POWER PC

Microprocesoarele RISC au apărut în 1992, având ca producători firmele Motorola, IBM și APPLE, lucrând pe 32 de biți, respectiv 64 de biți varianta 620 pentru sisteme de mare performanță. Familia de procesoare Power PC cuprindea inițial modelele:

- Power PC 601, cu performanțe asemănătoare microprocesoarelor Pentium;
- Power PC 603 pentru laptop-uri (200, 300 MHz);
- Power PC 604 pentru configurații desktop comparabil cu Pentium Pro (225, 300 MHz);
- Power PC 620 pentru stații de lucru și servere (200, 300 MHz).

Arhitectura de bază include componentele (fig. 2.45):

**- unitatea de execuție:**

- unitatea de anticipare a salturilor, care aduce instrucțiunile din memoria cache, printr-o anumită logică de distribuire a instrucțiunilor, pe o magistrală de 32 de biți;



- unitatea pentru operatii cu numere întregi;
- unitatea de virgula mobila, ce accepta reprezentarea numerelor reale în format IEEE.

Fiecare dintre aceste unitati dispune de un set propriu de registre care pot lucra independent. În acest fel, unitatile nu trebuie sa lucreze sincronizat, fiind astfel posibila executia mai multor operatii cu numere întregi pe durata executiei unor operatii efectuate în virgula mobila, echilibrul fiind realizat în mod dinamic.

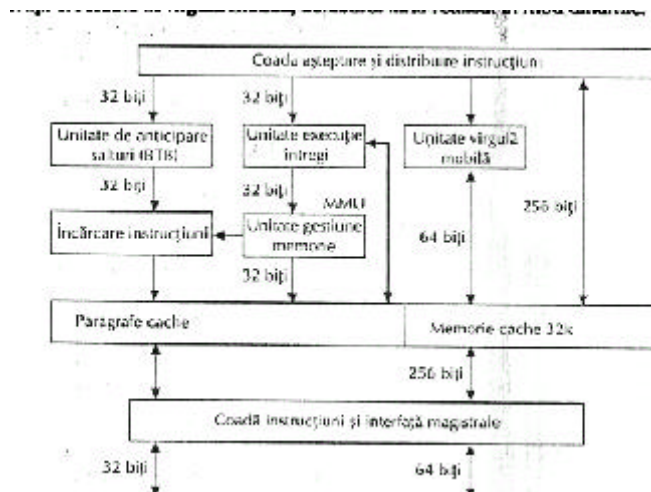


Figura 5.45. Arhitectura de baza Power PC

Spre deosebire de modelul 601, varianta 603 dispune de 5 unitati de executie, având în plus o unitate de încarcare/memorare destinata realizarii transferurilor dintre memoria cache pentru date si registrele unitatilor de executie pentru operatiile cu numere întregi, respectiv pentru operatiile executate în virgula mobila si o unitate de registre ale sistemului, utilizata pentru implementarea unui consum dinarnic de energie (aceasta unitate executa instructiuni pentru registre speciale si instructiuni de tipul conditie-registru).

#### - coada de asteptare si distribuire instructiuni;

Viteza microprocesorului este data de dispecerizarea instructiunilor din coada de asteptare; coada de asteptare este formata din opt instructiuni, ceea ce permite executia în orice ordine a patru instructiuni care se pot aduce din coada de asteptare sau se pot salva în aceasta; atunci cand o instructiune este extrasa din coada de asteptare, celelalte instructiuni se repositioneaza si ocupa locul ramas liber.

- **memoria cache.** La modelul 601, memoria cache este unica, având o capacitate de 32 KB ceea ce permite furnizarea a opt instructiuni pe un ciclu de ceas. La modelul 603, memoria cache este divizata în doua parti (instructiuni si date, fiecare cu o capacitate de 8 K) si o unitate proprie de gestiune a memoriei.

Modelul 620 poate executa sase instructiuni simultan, memoriile cache de date si cod având fiecare 32 K.

- **unitatea de gestiune a memoriei.** Aceasta unitate determina situarea instructiunii în memoria cache sau în memoria interna; daca instructiunea nu este în memoria cache, aceasta se va încarca prin interfata magistrala. Este singura platforma capabila sa accepte software Apple, PC si Unix: OS/2, AIX UNIX, System 7 si 8, Windows NT. Foloseste tehnicile de recompilare binara si cipul Power PC 615, în care este integrat un emulator rapid x86.

Microprocesorul Power PC se bazeaza pe arhitectura RISC provenita de la statiile de lucru IBM RS6000.

În 1998, partenerii Power PC au introdus generatia a treia (G3), Power PC 740 si 750, care lucrau la o frecventa de 233, respectiv 266 MHz, modelul 750 atingând 450 MHz.

G3 va echipa calculatoarele de buzunar, de retea si dispozitivele de retea. Imbunatatiri mai semnificative:

- magistrale pentru cache L2 de 1 M (150 MHz);
- magistrale de sistem la 100 MHz.

Varianta G3 produsa de Newer Technologies dispune de un cache L2 care lucreaza la aceeasi viteza cu CPU (275 MHz), dar aceasta implica o memorie RAM scumpa.

Cu SO Rhapsody al lui Apple, cu suport pentru sisteme multiprocesor, s-a renuntat la generatia de procesoare 604.

În 2001 se dorea lansarea modelului 2K la o frecventa de 1000 MHz (1 GHz). Exista pe piata modelele 810 la 900 MHz.

IBM Power 3 este un microprocesor superscalar extins, optimizat pentru operatii în virgula mobila (fig. 5.45).

Componentele arhitecturale:

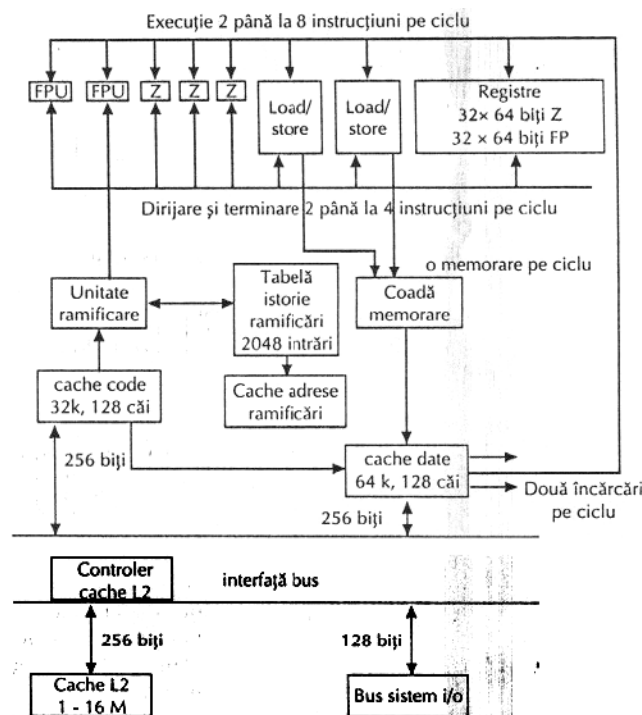


Fig. 5.45. IBM Power 3

1) Doua unitati de **virgula mobila** (FPU - *Floating Point Unit*) organizate pipeline, fiecare capabila sa execute 10 instructiuni/ciclu. FPU are subunitati specializate pentru executia hardware a operatiilor de impartire si extragere radical.

Toate caile de date sunt de 64 de biti, lucrând în standardul IEEE VMDP.

Setul arhitectural de 32 de registre FP este suplimentat cu 24 de registre fizice aditionale si 8 registre virtuale => se poate aprecia ca exista 64 de registre FP de lucru, mapate transparent pe setul celor 32 de registre arhitecturale.

2) Trei unitati de executie pentru întregi, dintre care doua executa instructiuni pe un ciclu, iar a treia trateaza instructiuni mai complexe, organizate pipeline (lungimea liniei este de cinci stagii). Setul de 32 de registre este suplimentat cu 16 registre fizice aditionale, remaparea registrelor permitând un set de 64 de registre de lucru.

3) Doua unitati de încărcare/memorare care pot efectua pe un ciclu:

- doua încărcari;
- o memorare;
- o încărcare speculativa.

**Patru porturi** pe cache-ul de date, ce pot gestiona simultan:

- doua încărcari a câte 8 bytes;
- o memorare de 8 bytes;
- o actualizare de linie de 128 bytes într-un buffer special de reîncărcare.

4) Cache L1 (32 K pentru cod si 64 K pentru date) setabil pe 128 de cai, mentinând deci 128 de bytes pe linie. Cache-ul de cod este constituit din doua seturi, iar cel de date din 4 seturi (128lini/set x 128 bytes/linie = 16 K pe set).

Performanta la unitatea de întregi este similara cu cea de la Pentium II la 300 MHz, în timp ce la FP este de patru ori mai mare.

5) Bus-ul sistem de I/O de 128 biti, care la o frecventa de 100 MHz are o rata de transfer de 1,6 GB/s.

6) Bus-ul pentru accesul la cache-ul L2 de 256 biti (de patru ori mai mare ca Pentium), care la 200 MHz are o rata de transfer de 6,4 GBps.

Fiecare bus foloseste linii separate pentru adrese, date si control, în loc sa le multiplexeze asa cum fac celelalte microprocesoare.

Power 3 este proiectat pentru statiile de lucru RS/6000 de vârf, servere si supercalculatoare, preluând arhitectura pe 64 de biti si facilitatile de multiprocesoare simetrica (SMP) de la Power PC 620.